

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

013746419 **Image available**

WPI Acc No: 2001-230648/200124

XRPX Acc No: N01-164382

Liquid crystal display device has preset number of common signal lines
connected to each digital driver, each connected to specific number of
switch blocks having predetermined number of selecting switches

Patent Assignee: FUJITSU LTD (FUJIT)

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001034237	A	20010209	JP 99206822	A	19990721	200124 B
KR 2001015404	A	20010226	KR 200042026	A	20000721	200156
TW 494371	A	20020711	TW 2000114540	A	20000720	200328

Priority Applications (No Type Date): JP 99206822 A 19990721

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2001034237	A	33	G09G-003/36	
KR 2001015404	A		G02F-001/133	
TW 494371	A		G09G-003/18	

Abstract (Basic): JP 2001034237 A

NOVELTY - The liquid crystal display device has data driver (52)
connected to display matrix (54), which has N' numbers of digital
drivers. Each digital driver is connected to K' number of common signal
lines (56). Each common signal line is connected to n' number of switch
blocks having m' number of selecting switches (60).

USE - Liquid crystal display device.

ADVANTAGE - Cost and size of liquid crystal display device is
reduced. High quality liquid crystal display is reliably obtained.

DESCRIPTION OF DRAWING(S) - The figure shows the entire block
diagram of liquid crystal display device.

Data driver (52)

Display matrix (54)

Common signal line (56)

Selection switches (60)

pp; 33 DwgNo 5/32

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; PRESET; NUMBER; COMMON;
SIGNAL; LINE; CONNECT; DIGITAL; DRIVE; CONNECT; SPECIFIC; NUMBER; SWITCH;
BLOCK; PREDETERMINED; NUMBER; SELECT; SWITCH

Derwent Class: P81; P85; T04

International Patent Class (Main): G02F-001/133; G09G-003/18; G09G-003/36

International Patent Class (Additional): G09G-003/20

File Segment: EPI; EngPI

06806753 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 2001-034237 [JP 2001034237 A]
PUBLISHED: February 09, 2001 (20010209)
INVENTOR(s): CHO KOYU
 TAKAHARA KAZUHIRO
APPLICANT(s): FUJITSU LTD
APPL. NO.: 11-206822 [JP 99206822]
FILED: July 21, 1999 (19990721)
INTL CLASS: G09G-003/36; G02F-001/133; G09G-003/20

ABSTRACT

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which is small in size, low in cost and high in display quality.

SOLUTION: A data driver 52 provided in a device 50 has N digital drivers, N×k sets of common signal lines and N×k×n sets of switch blocks which internally include prescribed number of selection switches. One horizontal scanning interval of the device 50 is equally divided into n timing blocks. For example, in a first timing block within one horizontal scanning interval, switch blocks A11 to Ak1, B11 to Bk1, and N1 to Nk1, i.e., total of N×k switch blocks are selected and display signals are supplied to the pixel cells in a display matrix 54 through selection switches 60 in the selected switch blocks.

COPYRIGHT: (C)2001, JPO

(51) Int. Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	505	G02F 1/133	5C006
G09G 3/20	623	G09G 3/20	623 B 5C080

審査請求 未請求 請求項の数 3 O L (全33頁)

(21) 出願番号	特願平11-206822	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成11年7月21日(1999.7.21)	(72) 発明者	張 宏勇 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	高原 和博 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74) 代理人	100070150 弁理士 伊東 忠彦

最終頁に続く

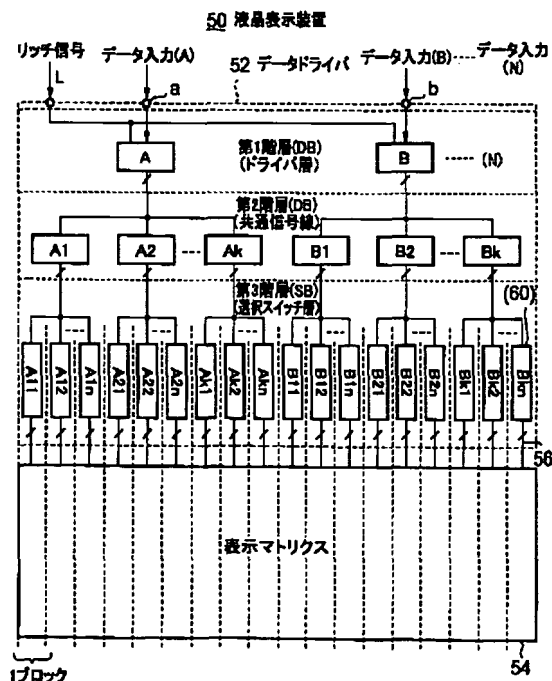
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 本発明は、小型化、低コスト化及び高品質な液晶表示等が可能な液晶表示装置を提供することを目的とする。

【解決手段】 本発明による液晶表示装置50が備えるデータドライバ52は、N個のデジタルドライバと、N×k組の共通信号線と、内部に所定数の選択スイッチを含むN×k×n組のスイッチブロックを有する。液晶表示装置50の1水平走査期間Thは、タイミングブロックBL1～BLnによってn等分されている。そして、例えば、1水平走査期間Th内の最初のタイミングブロックBL1では、スイッチブロックA11～Ak1、スイッチブロックB11～Bk1及びスイッチブロックN11～Nk1等の合計N×k個のスイッチブロックが選択され、選択されたスイッチブロック内の選択スイッチ60を介して表示マトリクス54内の画素セルに表示信号Vsが供給される。

本発明の基本構成を説明するための図



【特許請求の範囲】

【請求項 1】 表示マトリクス内において、ゲートドライバから供給された走査信号により活性化された画素セルにデータドライバから表示信号を与えて液晶表示を行う液晶表示装置であって、

前記データドライバは、N 個のデジタルドライバと、前記デジタルドライバ毎に k 組ずつ接続された共通信号線と、前記共通信号線毎に n 組ずつ設けられ、各組内に前記共通信号線の本数 m と等しい数の選択スイッチを含むスイッチブロックとを有することを特徴とする液晶表示装置。

【請求項 2】 請求項 1 記載の液晶表示装置であって、1 水平走査期間は n 回のタイミング期間からなり、各タイミング期間において、各共通信号線に設けられた n 組のスイッチブロックのうちの何れか 1 組のスイッチブロックが制御信号によって順次選択され、前記デジタルドライバは、選択されたスイッチブロック内の選択スイッチに接続された前記画素セルに表示信号を供給することを特徴とする液晶表示装置。

【請求項 3】 請求項 1 又は 2 記載の液晶表示装置であって、前記データドライバは、第 1 ～ 第 3 階層を有し、前記デジタルドライバは、前記第 1 階層内において一列に配列されており、前記共通信号線は、前記第 2 階層内において一列に配列されており、前記スイッチブロックは、前記第 3 階層内において一列に配列されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、大型で高詳細な液晶表示を行い得る、周辺回路一体型の液晶表示装置に関する。近年、液晶表示装置に対する大型高詳細化及び小型詳細化の要請に伴い、周辺回路と液晶表示部を一体化できる p - S i T F T (poly-Silicone Thin Film Transistor) を用いた液晶表示装置が注目されている。

【0 0 0 2】

【従来の技術】複数のブロックに分割された液晶表示領域に対して、1 ブロックずつ順次表示信号の書き込みが行われる液晶表示装置がある。以下、このような駆動方式を単純ブロック順次方式と称す。図 1 は、単純ブロック順次方式で駆動される液晶表示装置の一例である液晶表示装置 1 0 の構成図である。

【0 0 0 3】図 1 に示すように、液晶表示装置 1 0 は、デジタルドライバ L S I 1 2、共通信号線 D 1 ～ D n、アナログスイッチ 1 4、ブロック制御線 B L、ゲートドライバ 1 6、表示マトリクス 1 8 等を備えている。デジタルドライバ L S I 1 2、共通信号線 D 1 ～ D n、アナログスイッチ 1 4 等は、データドライバ 1 9 を構成している。

【0 0 0 4】表示マトリクス 1 8 は、N 個のブロック B 1 ～ B N に分割されており、各ブロックには、マトリクス状に走査線 2 0 と信号線 2 2 が配列されている。そして、走査線 2 0 と信号線 2 2 の各交点には、画素セル 2 4 が設けられている。複数のアナログスイッチ 1 4 は、各ブロック B 1 ～ B N 毎に n 個ずつ配置されている。アナログスイッチ 1 4 と共通信号線 D 1 ～ D n は、引き出し線 3 1 を介して接続されている。各アナログスイッチ 1 4 には、また、ブロック制御線 B L が接続されている。アナログスイッチ 1 4 は、ブロック制御線 B L を介してブロック制御信号 B L 1 ～ B L N が与えられるとオン状態となる。

【0 0 0 5】デジタルドライバ L S I 1 2 は、図示しない外部のデータ供給装置から供給されるデジタル信号に基づき表示信号 V s を生成する。そして、デジタルドライバ L S I 1 2 は、共通信号線 D 1 ～ D n を介して時分割で各ブロック B 1 ～ B N に表示信号 V s を供給する。液晶表示装置 1 0 の駆動時には、ゲートドライバ 1 6 から与えられる走査信号 V g により列毎に画素セル 2 4 が順次活性化される。液晶表示装置 1 0 における 1 水平走査期間 T h は、N 回のブロック制御期間 T b からなる。第 1 のブロック制御期間 T b では、ブロック制御信号 B L 1 によりブロック B 1 内の信号線 2 2 に接続された n 個のアナログスイッチ 1 4 がオン状態とされ、次の第 2 のブロック制御期間 T b では、ブロック制御信号 B L 2 によってブロック B 1 の隣のブロック B 2 内の信号線 2 2 に接続された n 個のアナログスイッチ 1 4 がオン状態とされる。また、1 水平走査期間 T h における第 N の（最後の）ブロック制御期間 T b では、ブロック制御信号 B L N によりブロック B N 内の信号線 2 2 に接続された n 個のアナログスイッチ 1 4 がオン状態とされる。そして、デジタルドライバ L S I 1 2 により生成された表示信号 V s が、オン状態のアナログスイッチ 1 4 を介して活性化された画素セル 2 4 内に入力することで液晶表示が行なわれる。

【0 0 0 6】図 2 は、液晶表示装置 1 0 が備えるデータドライバ 1 9 及び表示マトリクス 1 8 の構成を説明するためのブロック図である。ここでは、図 1 の構成において、n = 3 8 4、N = 1 0 の場合、すなわち、表示マトリクス 1 8 が 1 0 ブロックに分割されており、その水平画素数が 3 8 4 × 1 0 = 3 8 4 0 ビットである場合の構成例を示す。

【0 0 0 7】図 2 に示すように、データドライバ 1 9 は、デジタルドライバ L S I 1 2、共通信号線 D 1 ～ D 3 8 4、アナログスイッチ 1 4 等を含む。デジタルドライバ L S I 1 2 の出力数は 3 8 4 ビットであり、それぞれ 3 8 4 本の共通信号線 D 1 ～ D 3 8 4 のうち、対応する 1 本に接続されている。アナログスイッチ 1 4 は、各ブロック B 1 ～ B 1 0 用に 3 8 4 個ずつ設けられている。共通信号線 D 1 ～ D 3 8 4 は、それぞれブロック B

1～B10内において対応する1個のアナログスイッチ14に接続されている。

【0008】

【発明が解決しようとする課題】一般に、液晶表示領域の大型化に伴って1水平走査期間 T_h は短くなる。例えば、画素数が 640×3 (RGB) $\times 480$ のVGAでは1水平走査期間 T_h は約34.6 μs であり、画素数が $2048 \times 3 \times 1536$ のQXGAでは1水平走査期間 T_h は約10.8 μs である。

【0009】上記の液晶表示装置10では、1ブロック当たりの信号書き込み時間、すなわちブロック制御期間 T_b は、1水平走査期間 T_h ／ブロック数 N で決定されるので、液晶表示領域の大型化に伴って1水平走査期間 T_h が減少すると、ブロック制御期間 T_b も減少してしまう。一方、ブロック制御期間 T_b を十分に確保するために、液晶表示装置10の各ブロック幅(ビット数)を大きくしてブロック数 N を低減させると、以下のような問題が生じる。

【0010】先ず、図1に示すように、液晶表示装置10では、1ブロック当たりのデータ幅(ビット数)は共通信号線 $D_1 \sim D_n$ の本数 n と等しいので、データ幅を大きくすることにより共通信号線 $D_1 \sim D_n$ の本数も増え、その配線幅が拡大する。この結果、液晶表示装置10のパネル額縁面積が広がってしまう。例えば、1水平画素数が3072ビット、1水平走査期間 T_h が約22 μs のXGAパネルを、それぞれが384ビットのデータ幅を有する8つのブロックで構成すると、ブロック制御期間 T_b は2.0 μs 以上となる。2.0 μs のブロック制御期間 T_b を、1水平画素数が6144ビット、1水平走査期間 T_h が約11 μs のQXGAパネルで実現するには、それぞれが1536ビットのデータ幅を有する4ブロック構成とする必要がある。この場合、配線ピッチを16 μm とすると、XGAパネルの共通信号線 $D_1 \sim D_{384}$ の配線幅は、16 $\mu m \times 384$ ビット=6.14mmとなるのに対して、QXGAパネルの共通信号線 $D_1 \sim D_{1536}$ の配線幅は、16 $\mu m \times 1536$ ビット=24.6mmとなり、非常に大きくなる。

【0011】また、液晶表示装置10に外付けのデジタルドライバLSI12が使用される場合、共通信号線 $D_1 \sim D_n$ の幅の拡大に伴ってデジタルドライバLSI12の出力数が大きくなるので、非常に高価なデジタルドライバLSI12が必要になり、製造工程における歩留りも低下してしまう。また、データ幅を広くすることによって、図1に示す共通信号線 $D_1 \sim D_n$ と引き出し線31との交差点が増えるため、共通信号線 $D_1 \sim D_n$ の容量性負荷が大きくなり、その結果、時定数も大きくなってしまいます。例えば、QXGAパネルでは、1本の共通信号線が6144箇所以上の交差点を有することがある。この場合、1交差点当たりの容量性負荷値を4 fF

とすると全容量は約25 pFにも達する。

【0012】更に、図1に示すように、液晶表示装置10では共通信号線 $D_1 \sim D_n$ の長さが表示マトリクス18の横幅とほぼ等しい。このため、表示マトリクス18の大型化に伴って共通信号線 $D_1 \sim D_n$ が長くなり、その抵抗値の増大によっても時定数が増大してしまうという問題があった。本発明は、上記の点に鑑みてなされたものであり、小型化、低コスト化及び高品質な液晶表示等が可能な液晶表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記の目的は、請求項1に記載する如く、表示マトリクス内において、ゲートドライバから供給された走査信号により活性化された画素セルにデータドライバから表示信号を与えて液晶表示を行う液晶表示装置であって、前記データドライバは、 N 個のデジタルドライバと、前記デジタルドライバ毎に k 組ずつ接続された共通信号線と、前記共通信号線毎に n 組ずつ設けられ、各組内に前記共通信号線の本数 m と等しい数の選択スイッチを含むスイッチブロックとを有する液晶表示装置により達成される。

【0014】このような液晶表示装置では、各デジタルドライバに k 組の共通信号線が接続されているので、各共通信号線内の本数 m は、従来例の液晶表示装置に比して $1/k$ でよい。このため、各共通信号線の配線幅もほぼ $1/k$ にすることができる。これは、液晶表示装置のパネル額縁面積の縮小を可能にする。また、本発明の液晶表示装置では、各共通信号線の本数 m が従来例の液晶表示装置に比して $1/k$ になるため、共通信号線を選択スイッチに接続するための引き出し線と共通信号線との交差数も $1/k$ になる。このため、各共通信号線の交差点容量が減少する。

【0015】また、本発明によれば、データドライバ内に出力数の少ない複数のデジタルドライバを配設する構成とすることによってデジタルドライバの単価を下げることも可能となる。上記の液晶表示装置は、請求項2に記載する如く、1水平走査期間は n 回のタイミング期間からなり、各タイミング期間において、各共通信号線に設けられた n 組のスイッチブロックのうちの何れか1組のスイッチブロックが制御信号によって順次選択され、前記デジタルドライバは、選択されたスイッチブロック内の選択スイッチに接続された前記画素セルに表示信号を供給する構成としてもよい。

【0016】このような液晶表示装置では、各タイミング期間において、各共通信号線に係る複数のスイッチブロックが選択されるので、共通信号線の配線幅を広くしてその容量性負荷と抵抗性負荷を増大させることなく、全体として広いデータ幅で表示信号を書き込むことができる。データ幅と信号書き込み時間は、デジタルドライバの数 N を増やすことで更に拡大可能である。

【0017】上記のデータドライバは、請求項3に記載

する如く、第1～第3階層を有し、前記デジタルドライバは、前記第1階層内において一列に配列されており、前記共通信号線は、前記第2階層内において一列に配列されており、前記スイッチブロックは、前記第3階層内において一列に配列された構成としてもよい。データドライバが備えるk組の共通信号線の水平方向の長さを従来例に比して $1/k$ にして一列に配列した場合、各共通信号線の配線抵抗が $1/k$ に減少する。本発明の液晶表示装置では、従来例に比して各共通信号線の交差点容量と配線抵抗値とが減少するので、そのRC時定数も大幅に減少する。従って、本発明によれば、時定数が改善されることにより、液晶表示の画質の向上が実現する。

【0018】上記のデジタルドライバは、請求項4に記載する如く、TAB実装されたLSIチップであり、前記スイッチブロックに前記制御信号を供給するためのn本のスイッチブロック制御線を備えた構成としてもよい。また、前記ゲートドライバに対して最も近くに設けられたデジタルドライバは、請求項5に記載する如く、前記ゲートドライバに制御信号を供給するためのゲートドライバ制御線を備えた構成にしてもよい。

【0019】上記のデジタルドライバは、請求項6に記載する如く、COG又はCOF実装されたLSIチップとしてもよい。また、上記のデジタルドライバは、請求項7に記載する如く、p-Si TFTにより前記表示マトリクスと一体形成されたパネル内蔵型回路としてもよい。デジタルドライバを回路規模の小型化の容易なp-Si TFTを用いたパネル内蔵型回路とした場合、消費電力の低減化が可能となる。また、デジタルドライバを構成するTFT数も少なくなるため、製造工程における歩留りが向上する。更に、本発明によれば、デジタルドライバの出力端子ピッチを拡大することができる。

【0020】上記のデータドライバは、請求項8に記載する如く、更に、p-Si TFTにより前記表示マトリクスと一体形成され、前記スイッチブロックに所定のタイミングで制御信号を与えるブロック選択回路を有する構成としてもよい。上記の選択スイッチは、請求項9に記載する如く、Nチャネルトランジスタを用いたNMO型と、Pチャネルトランジスタを用いたPMOS型と、N及びPチャネルトランジスタを用いたCMOS型のうちの何れかの型のアナログスイッチとしてもよい。

【0021】本発明の液晶表示装置が備える表示マトリクスにおける水平画素セル数は、請求項10に記載する如く、整数200、240、256、300、384のうちの何れかの整数倍としてもよい。上記のデータドライバは、請求項11に記載する如く、前記表示マトリクスを間に対向して2つ設けられており、該2つのデータドライバは、前記表示マトリクス内において互いに異なる領域の画素セルに表示信号を供給する構成としてもよい。

【0022】また、上記のデータドライバは、請求項1

2に記載する如く、前記表示マトリクスを間に対向して2つ設けられており、一方のデータドライバは、前記表示マトリクス内において奇数列に配列された信号線に接続された画素セルに表示信号を供給し、他方のデータドライバは、前記表示マトリクス内において偶数列に配設された信号線に接続された画素セルに表示信号を供給する構成としてもよい。

【0023】上記のゲートドライバは、請求項13に記載する如く、前記表示マトリクスを間に対向して2つ設けられており、該2つのゲートドライバは、前記表示マトリクス内において互いに異なる画素セルに走査信号を供給する構成としてもよい。また、本発明の液晶表示装置は、請求項14に記載する如く、前記表示マトリクス内に配列された信号線の欠陥を修復するリペア回路を備えた構成としてもよい。

【0024】また、本発明の液晶表示装置は、請求項15に記載する如く、マルチドメイン垂直配向方式の液晶表示を行うようにしてもよい。更に、本発明の液晶表示装置は、請求項16に記載する如く、IPS方式の液晶表示を行うようにしてもよい。

【0025】

【発明の実施の形態】本発明の原理は、データドライバ内にN個のデジタルドライバと、 $N \times k$ 組の共通信号線と、内部に所定数の選択スイッチを含む $N \times k \times n$ 組のスイッチブロックとを配設し、各共通信号線に設けられたn組のスイッチブロックの中から所定のタイミングで順次選択されるスイッチブロック内の選択スイッチを介してデジタルドライバから画素セルに表示信号を供給する点にある。

【0026】先ず、図3、図4及び表1を用いて、本発明の基本構成を説明する。図3は、本発明の基本構成を説明するための図である。図3に示すように、本発明が適用された液晶表示装置50は、データドライバ52と、表示マトリクス54等を備えている。データドライバ52は、第1階層DBと第2階層CBと第3階層SBの3つの階層を含む階層構造とされている。

【0027】ここで、N、k、nを整数とすると、第1階層DBには、N個のデジタルドライバIC（以下、ドライバと称す）A、B、・・・が設けられており、第2階層CBには、 $N \times k$ 組の共通信号線A1、A2、・・・が設けられており、第3階層SBには、 $N \times k \times n$ 組のスイッチブロックA11、A12、・・・が設けられている。

【0028】ドライバA、B、・・・は、外部の図示しない制御回路から供給されるラッチ信号Lによって制御される。また、ドライバA、B、・・・には、それぞれのデータ入力端子a、b、・・・を介して外部の図示しないデータ供給装置から液晶表示用のデータが供給される。第1階層DB内のN個のドライバA、B、・・・は、それぞれ第2階層CB内の対応するk組の共通信号

線A1、A2、・・・に接続されている。例えば、ドライバAは、共通信号線A1～Akに接続されており、ドライバBは、共通信号線B1～Bkに接続されている。また、N×k組の共通信号線A1、A2、・・・は、それぞれ第3階層SB内の対応するn組のスイッチブロックA11、A12、・・・に接続されている。例えば、共通信号線A1は、スイッチブロックA11～A1nに接続されており、共通信号線A2は、スイッチブロックA21～A2nに接続されており、共通信号線Akは、スイッチブロックAk1～Aknに接続されている。

【0029】なお、スイッチブロックA11、A12、・・・は、後述するようにそれぞれ所定数の選択スイッチ60で構成されている。また、選択スイッチ60は、それぞれ表示マトリクス54内の信号線56に接続されている。表示マトリクス54は、スイッチブロックA11、A12、・・・に対応してN×k×n個のブロックに分割されている。

【0030】図4は、液晶表示装置50のドライバBに係る構成を示す図である。図4に示すように、ドライバBは、共通信号線B1～Bkに接続されており、所定のタイミングで共通信号線B1～Bkに表示信号Vsを供給する。共通信号線B1～Bkは、それぞれm本の信号線D1～Dmで構成されている。また、各スイッチブロックB11、B12、・・・、Bknは、それぞれ共通信号線B1～Bkを構成する信号線D1～Dmの本数mと同数の選択スイッチ60を備えている。各選択スイッチ60は、対応する共通信号線B1～Bk内の信号線D1～Dmのうち、何れか1本に引き出し線61を介して接続されている。例えば、スイッチブロックB11～B1n内の選択スイッチ60は、共通信号線B1内の信号線D1～Dmの何れか1本に接続されており、スイッチブロックB21～B2n内の選択スイッチ60は、共通

信号線B2内の信号線D1～Dmの何れか1本に接続されている。また、同一のスイッチブロックB11、B12、・・・、Bkn内の選択スイッチ60は、互いに異なる信号線D1～Dmに接続されている。

【0031】選択スイッチ60は、更に、n本の制御線（スイッチブロック制御線）BLの何れか1本に接続されており、制御線BLを介して外部の制御回路から与えられる制御信号BL1～BLnによってオン・オフ制御される。例えば、スイッチブロックB11、B21、・・・、Bk1内の選択スイッチ60は、制御信号BL1により制御され、スイッチブロックB12、B22、・・・、Bk2内の選択スイッチ60は、制御信号BL2により制御され、スイッチブロックB1n、B2n、・・・、Bkn内の選択スイッチ60は、制御信号BLnにより制御される。

【0032】表示マトリクス54は、複数の走査線62と、選択スイッチ60と同数のN×k×n×m本の信号線56を備えている。各走査線62には図示しないゲートドライバが接続されており、各信号線56には対応する選択スイッチ60が接続されている。また、走査線62と信号線56との各交点には、画素セル64が配設されている。画素セル64は、ハイレベルの走査信号Vgが供給されることによって列単位で順次活性化される。

【0033】なお、液晶表示装置50が備えるドライバB以外のドライバに係る構成も図4に示すものと同様であり、その説明を省略する。続いて、図3、図4及び表1を用いて、液晶表示装置50の動作を説明する。表1は、液晶表示装置50の1水平走査期間Thにおけるスイッチブロックの制御タイミングを示す。

【0034】

【表1】

物理ポート (TB) タイミングポート		A (DB)		B (DB)		...		N (DB)	
		A1～Ak (CB)		B1～Bk (CB)		...		N1～Nk (CB)	
一 水 平 走 査 期 間 Th	BL1	A11 (SB)	Ak1 (SB)	B11 (SB)	Bk1 (SB)	N11 (SB)	Nk1 (SB)
	BL2	A12	Ak2	B12	Bk2	B12	Nk2
	BL3	A13	Ak3	B13	Bk3	B13	Nk3
	i	i	i	i	i	i	i
	BLn-2	A1n-2	Akn-2	B1n-2	Bkn-2	N1n-2	Nkn-2
	BLn-1	A1n-1	Akn-1	B1n-1	Bkn-1	N1n-1	Nkn-1
	BLn	A1n	Akn	B1n	Bkn	N1n	Nkn

【0035】液晶表示装置50では、1水平走査期間Thの間に制御信号BL1～BLnが順次供給されることによって、対応するスイッチブロックA11、A12、

・・・内の選択スイッチ60がオン状態とされる。以下、説明の便宜上、制御信号BL1～BLnが供給されているタイミング期間を、それぞれタイミングブロック

BL1~BLnとする。すなわち、1水平走査期間Thは、タイミングブロックBL1~BLnによってn等分されている。

【0036】表1に示すように、1水平走査期間Th内の最初のタイミングブロックBL1では、スイッチブロックA11~Ak1、スイッチブロックB11~Bk1及びスイッチブロックN11~Nk1等の合計N×k個のスイッチブロックが選択され、選択されたスイッチブロック内の選択スイッチ60が制御信号BL1によりオンとされる。

【0037】タイミングブロックBL1に続くタイミングブロックBL2では、スイッチブロックA12~Ak2、スイッチブロックB12~Bk2及びスイッチブロックN12~Nk2等の合計N×k個のスイッチブロックが選択され、選択されたスイッチブロック内の選択スイッチ60が制御信号BL2によりオンとされる。このような制御が繰り返されて最後のタイミングブロックBLnにおいて、スイッチブロックA1n~Akn、B1n~Bkn、・・・、N1n~Nknが選択され、その内部の選択スイッチ60がオンとされると、1水平走査期間Thが終了となる。各タイミングブロックBL1~BLnにおいて、表示信号VsがドライバA、B、・・・から選択スイッチ60を介して活性化された画素セル64に順次供給されることで液晶表示が行われる。

【0038】以上のように、本発明では、データドライバ52が階層構造を有し、各タイミングブロックBL1~BLnにおいて、複数(N×k組)のスイッチブロックA11、A12、・・・が選択される。そして、N×k組のスイッチブロックA11、A12、・・・が選択されるタイミングブロックがn回繰り返されることによって1水平走査期間Th内に、合計N×k×n組の全てのスイッチブロックが選択される。以下、このような駆動方式を階層型ブロック順次方式と称す。

【0039】なお、走査信号Vg、制御信号BL1~BLn、及び、表示信号Vsの転送による遅延等を考慮して、走査信号Vgや表示信号Vs等は、液晶表示装置50が高品位の画質を実現するように最適なタイミングで供給されるものとする。上述の如く、液晶表示装置50では、各ドライバA、B、・・・にk組の共通信号線A1、A2、・・・が接続されているので、各共通信号線A1、A2、・・・内の信号線本数mが図1、2に示す従来例の液晶表示装置10に比して1/kになる。このため、各共通信号線A1、A2、・・・の配線幅もほぼ1/kになる。

【0040】また、液晶表示装置50では、各共通信号線A1、A2、・・・内の信号線本数mが従来例の液晶表示装置10に比して1/kになるため、各共通信号線A1、A2、・・・と図4に示す引き出し線61との交差数も1/kになる。このため、各共通信号線A1、A2、・・・の交差点容量が減少する。また、液晶表示装

置50内のドライバA、B、・・・は、それぞれk組の共通信号線A1、A2、・・・を有するため、図1と図4の比較により明らかなように、共通信号線A1、A2、・・・の水平方向の長さが従来例に比して1/kになる。このため、共通信号線A1、A2、・・・の配線抵抗も減少する。

【0041】このように液晶表示装置50では、従来例に比して、各共通信号線A1、A2、・・・の交差点容量と配線抵抗値とが減少するので、そのRC時定数も大幅に減少する。従って、本発明によれば、時定数が改善されることにより、液晶表示の画質の向上が実現する。また、各タイミングブロックBL1~BLnでは、各共通信号線A1、A2、・・・に係る複数のブロックが選択されるので、共通信号線A1、A2、・・・の配線幅を広くしてその容量性負荷と抵抗性負荷を増大させることなく、全体として広いデータ幅で表示信号Vsを書き込むことができる。データ幅と信号書き込み時間は、ドライバA、B、・・・の数Nを増やすことで更に拡大可能である。

【0042】更に、本発明によれば、データドライバ52内に出力数の少ない複数のドライバA、B、・・・を配設する構成とすることによってドライバA、B、・・・の単価を下げることも可能となる。次に、図5~図10及び表2を用いて、本発明の第1実施例であるXGA型の液晶表示装置100について説明する。

【0043】図5は、液晶表示装置100の全体構成図である。図5に示すように、液晶表示装置100は、データドライバ102、ゲートドライバ104、表示マトリクス106等を備えている。液晶表示装置100は、図3に示した液晶表示装置50において、N=1、k=2、n=8、m=192とした場合の実施例である。すなわち、データドライバ102は、出力数が384ビットのドライバA、192ビットの共通信号線A1、A2、16組のスイッチブロックA11~A18、A21~A28を備えている。また、表示マトリクス106は、3072ビット×768ビットのマトリクス状に配列された画素セル114を含む。

【0044】図6は、液晶表示装置100が備えるデータドライバ102の構成図である。図6に示すように、データドライバ102は、第1階層DBにおいてドライバAを有し、第2階層CBにおいて、それぞれ192本のD1~D192、D193~D384を含む共通信号線A1、A2を有し、第3階層SBにおいて16組のスイッチブロックA11~A18、A21~A28を有する。スイッチブロックA11~A18、A21~A28は、それぞれ例えば、NチャネルトランジスタとPチャネルトランジスタを用いたCMOS型のアナログスイッチ(選択スイッチ)108を192個ずつ含む。すなわち、データドライバ102は、16×192=3072個のアナログスイッチ108を備えている。なお、アナ

ログスイッチ 1 0 8 は、CMOS 型に限らず NMOS 型又は PMOS 型のものでもよい。

【0 0 4 5】ドライバ A の 3 8 4 ビットの出力端は、それぞれ 1 9 2 ビット分ずつ共通信号線 A 1、A 2 に接続されている。また、共通信号線 A 1 内の信号線 D 1 ~ D 1 9 2 は、それぞれスイッチブロック A 1 1 ~ A 1 8 内の対応するアナログスイッチ 1 0 8 に接続されており、共通信号線 A 2 内の信号線 D 1 9 3 ~ D 3 8 4 は、それぞれスイッチブロック A 2 1 ~ A 2 8 内の対応するアナログスイッチ 1 0 8 に接続されている。

【0 0 4 6】図 7 は、液晶表示装置 1 0 0 の回路構成図である。図 7 に示すように、ドライバ A は、8 ビット（又は 6 ビット）× 6 ポートのデジタル信号入力端子 a を有する。ドライバ A の 3 8 4 ビットの出力端は、1 9 2 ビットずつそれぞれ共通信号線 A 1、A 2 内の信号線 D 1 ~ D 1 9 2、D 1 9 3 ~ D 3 8 4 に接続されている。アナログスイッチ 1 0 8 のゲートには、制御線 B L が接続されており、制御線 B L を介して与えられる制御信号 B L 1 ~ B L 8 によってアナログスイッチ 1 0 8 は制御される。また、アナログスイッチ 1 0 8 は、信号線 1 1 0 を介して表示マトリクス 1 0 6 側に接続されている。

【0 0 4 7】表示マトリクス 1 0 6 には、複数の信号線 1 1 0 及び走査線 1 1 2 が配列されている。各走査線 1 1 2 は、ゲートドライバ 1 0 4 に接続されている。信号線 1 1 0 と走査線 1 1 2 の各交点には、画素セル 1 1 4 が配設されている。画素セル 1 1 4 は、画素 TFT 1 1 6、液晶セル 1 1 8 及び蓄積容量 1 2 0 を含む。ここで、ドライバ A は、例えば、TAB 実装の L S I チップであり、外付けされている。また、ゲートドライバ 1 0 4 は、例えば、低温 p - S i T F T で構成された内蔵型ゲートドライバである。

【0 0 4 8】図 8 は、液晶表示装置 1 0 0 が備える外付けタイプのドライバ A の内部構成例を示すブロック図である。図 8 に示すように、ドライバ A は、シフトレジスタからなるアドレス選択回路 1 4 0、サンプリングラッチ 1 4 2、ロードラッチ 1 4 4、レベルシフタ 1 4 6、デコーダからなる D / A コンバータ 1 4 8、オペアンプからなる出力バッファ 1 5 0、デジタル信号入力部 1 5 2 及び制御信号入力部 1 5 4 等を備えている。

【0 0 4 9】デジタル信号入力部 1 5 2 には、外部の信号供給回路から 8 又は 6 ビットの表示用デジタル信号が供給される。また、D / A コンバータ 1 4 8 には、外部から階調基準電圧が供給される。また、制御信号入力部 1 5 4 には、外部の制御回路から制御信号が供給される。制御信号入力部 1 5 4 は、与えられた制御信号に基づき、ラッチ制御信号 L によってドライバ A 内のロードラッチ 1 4 4、D / A コンバータ 1 4 8、出力バッファ 1 5 0 等の制御を行う。デジタル信号入力部 1 5 2 に供給されたデジタル信号は、サンプリングラッチ 1 4 2、

ロードラッチ 1 4 4、レベルシフタ 1 4 6、D / A コンバータ 1 4 8 及び出力バッファ 1 5 0 によって、例えば、2 5 6 階調の液晶駆動用アナログ階調信号に変換され、表示信号 V s として共通信号線 A 1、A 2 側に出力される。

【0 0 5 0】図 8 において、水平方向に配線された共通信号線 A 1、A 2 内の 1 9 2 本ずつの信号線 D 1 ~ D 1 9 2、D 1 9 3 ~ D 3 8 4 は、それぞれ垂直方向に配線された引き出し線 1 5 6 を介してアナログスイッチ 1 0 8 と接続されている。共通信号線 A 1、A 2 は、それぞれ 8 組のスイッチブロック A 1 1 ~ A 1 8、A 2 1 ~ A 2 8 に接続されている。このため、各信号線 D 1 ~ D 1 9 2、D 1 9 3 ~ D 3 8 4 は、引き出し線 1 5 6 と最大（1 9 2 - 1）× 8 箇所 で交差している。この信号線 D 1 ~ D 1 9 2、D 1 9 3 ~ D 3 8 4 と引き出し線 1 5 6 との交差点は容量性負荷となるので、交差点の数は少ない方が望ましい。

【0 0 5 1】図 7 に示す低温 p - S i T F T を用いて形成された内蔵型ゲートドライバ 1 0 4 は、例えば、以下のような構成とされる。図 9 は、液晶表示装置 1 0 0 が備えるゲートドライバ 1 0 4 の構成例を示す図である。図 9 に示すように、ゲートドライバ 1 0 4 は、双方向スイッチ部 1 6 0、シフトレジスタ部 1 6 2、マルチプレクサ部 1 6 4、及び、出力バッファ部 1 6 6 を有する。

【0 0 5 2】双方向スイッチ部 1 6 0 は、4 つのトランジスタ 1 6 7 ~ 1 7 0 を有する。また、シフトレジスタ部 1 6 2 は、8 つのトランジスタ 1 7 1 ~ 1 7 8 と、インバータ 1 7 9、1 8 0 及び NAND 回路 1 8 1 を有する。更に、マルチプレクサ部 1 6 4 は、4 つの NAND 回路 1 8 2 ~ 1 8 5 を有する。NAND 回路 1 8 2 ~ 1 8 5 の一方の入力端子は、それぞれシフトレジスタ部 1 6 2 の出力部にあたるインバータ 1 8 0 に接続されている。また、NAND 回路 1 8 2 ~ 1 8 5 の他方の入力端子には、それぞれ所定のタイミングで信号 M P 1 ~ M P 4 が供給される。出力バッファ部 1 6 6 は、インバータ 1 9 1 ~ 1 9 4 を有する。インバータ 1 9 1 ~ 1 9 4 の入力側は、それぞれマルチプレクサ部 1 6 4 の NAND 回路 1 8 2 ~ 1 8 5 に接続されている。更に、インバータ 1 9 1 ~ 1 9 4 の出力側は、表示マトリクス 1 0 6 内の走査線 1 1 2 に接続されている。

【0 0 5 3】ゲートドライバ 1 0 4 には、信号 M P 1 ~ M P 4 の他、図示しない制御信号発生回路からクロック信号 C L、/ C L、信号 U P、D W 等も供給される。図 9 に示すゲートドライバ 1 0 4 において、例えば、シフトレジスタ部 1 6 2 からハイレベルの信号が出力され、マルチプレクサ部 1 6 4 内の NAND 回路 1 8 2 に対してハイレベルの信号 M P 1 が供給された場合、ハイレベルの走査信号 V g が表示マトリクス 1 0 6 内の走査線 1 1 2 に供給される。

【0 0 5 4】ゲートドライバ 1 0 4 内に 4 ビットのマル

チプレクサ部 164 を採用することによって、シフトレジスタ部 162 の段数を 192 段に減らすことができた。これは、従来広く使用されていたゲートドライバ内のシフトレジスタの段数が 768 段であったのに比して非常に少ない。表 2 は、液晶表示装置 100 の 1 水平走査期間 T_h におけるスイッチブロックの制御タイミングを示す。

【0055】

【表 2】

物理ブロック タイミングブロック	A 1 (CB)	A 2 (CB)	合計
BL 1	A11	A21	384ビット
BL 2	A12	A22	384ビット
BL 3	A13	A23	384ビット
BL 4	A14	A24	384ビット
BL 5	A15	A25	384ビット
BL 6	A16	A26	384ビット
BL 7	A17	A27	384ビット
BL 8	A18	A28	384ビット
合計	1536ビット (192×8)	1536ビット (192×8)	3072ビット (384×8)

【0056】液晶表示装置 100 では、1 水平走査期間 T_h が 8 つのタイミングブロック BL 1～BL 8 で構成され、制御信号 BL 1～BL 8 が順次供給されることによって、対応するスイッチブロック A 11～A 18、A 21～A 28 内のアナログスイッチ 108 がオン状態とされる。具体的には、例えば、1 水平走査期間 T_h 内の最初のタイミングブロック BL 1 では、スイッチブロック A 11、A 21 内の合計 384 個のアナログスイッチ 108 が制御信号 BL 1 によりオンとされる。

【0057】続いて、図 5～図 10 及び表 1 を用いて、液晶表示装置 100 の動作を説明する。液晶表示装置 100 は、液晶表示装置 50 と同様に階層型ブロック順次方式で動作する。図 10 は、液晶表示装置 100 の動作タイミング図である。図 10 に示すように、1 水平走査期間 T_h 内のタイミングブロック BL 1～BL 8 では、それぞれ制御信号 BL 1～BL 8 が供給される。また、1 水平走査期間 T_h の両端には、走査信号 V_g の立ち上がり時間と立ち下がり時間とからなるブランキング期間 T_{bk} が設けられている。ここで、例えば、1 水平走査期間 T_h は約 21.7 μs であり、各タイミングブロック BL 1～BL 8 の時間長 T_b は約 2.0 μs であり、1 ブランキング期間 T_{bk} は約 5.7 μs である。

【0058】液晶表示装置 100 では、上記したラッチ信号 L によって、ドライバ A からの表示信号 V_s が共通信号線 A 1、A 2 に一括転送される。1 走査線 112 分

の表示信号 V_s を転送するために、1 水平走査期間 T_h 中に 8 回のラッチ信号 L が図 8 に示す各回路に供給される。なお、説明の便宜上、表示マトリクス 106 において、第 1 列目～第 3072 列目に配設された信号線 110 をそれぞれ d0001～d3072 とする。

【0059】図 7 に示すゲートドライバ 104 から表示マトリクス 106 内の第 1 行目の走査線 112 にハイレベルの走査信号 V_g が供給されると、まず、第 1 のタイミングブロック BL 1 の間、スイッチブロック A 11、A 21 内のアナログスイッチ 108 に対して制御信号 BL 1 が供給される。この結果、スイッチブロック A 11、A 21 内の合計 384 個のアナログスイッチ 108 はオン状態となる。この時、オン状態となったアナログスイッチ 108 と、信号線 d0001～d0192、d1537～d1728 を介して接続された画素セル 114 にドライバ A から表示信号 V_s が供給される。そして、表示信号 V_s は、画素セル 114 内の画素 TFT 116 を介して液晶セル 118 及び蓄積容量 120 に書き込まれる。

【0060】次に、第 2 のタイミングブロック BL 2 の間、スイッチブロック A 12、A 22 内のアナログスイッチ 108 に対して制御信号 BL 2 が供給される。この結果、スイッチブロック A 12、A 22 内の合計 384 個のアナログスイッチ 108 は、オン状態となる。この時、オン状態となったアナログスイッチ 108 と、信号線 d0193～d0384、d1729～d1920 を介して接続された画素セル 114 にドライバ A から表示信号 V_s が与えられる。そして、表示信号 V_s は、画素セル 114 内の画素 TFT 116 を介して液晶セル 118 及び蓄積容量 120 に書き込まれる。

【0061】上記のような動作が繰り返され、第 8 のタイミングブロック BL 8 において、スイッチブロック A 18、A 28 内のアナログスイッチ 108 に対して制御信号 BL 8 が供給され、対応する 384 個の画素セル 114 内に表示信号 V_s が書き込まれると、1 水平走査期間 T_h が終了となる。表示信号 V_s が書き込まれた画素セル 114 は、次の走査信号 V_g が与えられるまで表示信号 V_s を保持する。このような信号書き込み動作と信号保持動作は、60 Hz 程度のフレーム周期で繰り返される。

【0062】次に、図 11 及び表 3 を用いて、本発明の第 2 実施例である SXGA 型の液晶表示装置 200 について説明する。図 11 は、液晶表示装置 200 が備えるデータドライバ 202 の構成図である。図 11 に示すように、データドライバ 202 は、第 1 階層 DB において、TAB 実装のドライバ A を有し、第 2 階層 CB において、それぞれ 192 本の信号線 D 1～D 192、D 193～D 384 を含む共通信号線 A 1、A 2 を有し、第 3 階層 SB において 20 組のスイッチブロック A 11～A 110、A 21～A 210 を有する。スイッチブロッ

クA11～A110、A21～A210は、それぞれ例えば、CMOS型のアナログスイッチ108を192個ずつ含む。

【0063】すなわち、液晶表示装置200は、図3に示した液晶表示装置50において、 $N=1$ 、 $k=2$ 、 $n=10$ 、 $m=192$ とした場合の実施例であり、データドライバ202内に $20 \times 192 = 3840$ 個のアナログスイッチ208を備えている。なお、アナログスイッチ208は、CMOS型に限らずNMOS型又はPMOS型のものでもよい。

【0064】ドライバAの384ビットの出力端は、それぞれ192ビット分ずつ共通信号線A1、A2に接続されている。また、共通信号線A1内の信号線D1～D192は、それぞれスイッチブロックA11～A110内の対応するアナログスイッチ208に接続されており、共通信号線A2内の信号線D193～D384は、それぞれスイッチブロックA21～A210内の対応するアナログスイッチ208に接続されている。

【0065】なお、液晶表示装置200における他の構成は、図5に示す液晶表示装置100と同様であり、その説明を省略する。続いて、図11及び表3を用いて液晶表示装置200の動作を説明する。表3は、液晶表示装置200の1水平走査期間Thにおけるスイッチブロックの制御タイミングを示す。

【0066】

【表3】

物理ブロック タイミングブロック	A1 (CB)	A2 (CB)	合計
BL1	A11	A21	384ビット
BL2	A12	A22	384ビット
BL3	A13	A23	384ビット
BL4	A14	A24	384ビット
BL5	A15	A25	384ビット
BL6	A16	A26	384ビット
BL7	A17	A27	384ビット
BL8	A18	A28	384ビット
BL9	A19	A29	384ビット
BL10	A110	A210	384ビット
合計	1920ビット (192×10)	1920ビット (192×10)	3840ビット (384×10)

【0067】液晶表示装置200では、1水平走査期間Thが10回のタイミングブロックBL1～BL10で構成され、制御信号BL1～BL10が順次供給されることによって、対応するスイッチブロックA11～A110、A21～A210内のアナログスイッチ208がオン状態とされる。具体的には、例えば、1水平走査期

間Th内の最初のタイミングブロックBL1では、スイッチブロックA11、A21内の合計384個のアナログスイッチ208が制御信号BL1によりオンとされる。

【0068】また、タイミングブロックBL1に続くタイミングブロックBL2では、スイッチブロックA12、A22内の合計384個のアナログスイッチ208が制御信号BL2によりオンとされる。このような制御が繰り返されて最後のタイミングブロックBL10において、スイッチブロックA110、A210内の合計384個のアナログスイッチ208が制御信号BL10によりオンとされると1水平走査期間Thが終了となる。表示信号Vsは、各タイミングブロックBL1～BL10において、オン状態とされたアナログスイッチ208を介して、活性化された画素セル内に順次書き込まれる。

【0069】上述の如く、第1及び第2実施例の液晶表示装置100、200では、ドライバAに2組の共通信号線A1、A2が接続されており、各共通信号線A1、A2は192本の信号線D1～D192、D193～D384で構成されている。この結果、各共通信号線A1、A2内の信号線本数(192本)が図1、2に示す従来例の液晶表示装置10に比して半減するので、共通信号線A1、A2の配線幅もほぼ半減する。例えば、共通信号線の配線ピッチを $16\mu\text{m}$ とした場合、従来例の共通信号線D1～D384の配線幅は、約 $6.14(16\mu\text{m} \times 384)\text{mm}$ となるのに対し、第1及び第2実施例の液晶表示装置100、200の共通信号線A1、A2の配線幅は、共に約 $3.07(16\mu\text{m} \times 192)\text{mm}$ となる。従って、本実施例によれば、共通信号線A1、A2の配線幅の縮小によるパネル額縁の縮小化と液晶表示装置100、200の軽量化が実現される。

【0070】また、本第1及び第2実施例では、各共通信号線A1、A2内の信号線本数が従来例に比して半減するので、データドライバ102内において共通信号線A1、A2と制御線BLとの交差点も半減する。これは、図10に示す制御信号BL1～BL8の立ち上がり及び立ち下がり時間の短縮化に寄与する。図1に示す従来例の液晶表示装置10をXGA型として、 $2.0\mu\text{s}$ /ブロックの信号書き込み時間を確保するには、表示マトリクス18を8ブロックで構成し、各ブロックB1～B8のデータ幅を384ビットにする必要がある。この場合、共通信号線D1～D384と図1に示す引き出し線31とは、最大 $(384-1) \times 8 = 3064$ 箇所

で交差する。【0071】一方、例えば、第1実施例の液晶表示装置100が備える共通信号線D1～D192は、図8に示す引き出し線156と最大 $(192-1) \times 8 = 1528$ 箇所

3 8 4 の容量は約 1 5 . 3 p F であるのに対し、第 1 実施例における共通信号線 D 1 ~ D 1 9 2 の容量は約 7 . 6 p F となる。このように本第 1 及び第 2 実施例によれば、各共通信号線 A 1、A 2 の交差点容量が大幅に減少する。

【0 0 7 2】また、第 1 及び第 2 実施例の液晶表示装置 1 0 0、2 0 0 は、2 組の共通信号線 A 1、A 2 を有するため、各共通信号線 A 1、A 2 の（例えば、図 5 における）水平方向の長さが従来例に比して半分になる。このため、第 1 及び第 2 実施例によれば、共通信号線 A 1、A 2 の配線抵抗も減少する。例えば、画素ピッチが 0 . 2 4 μm、表示マトリクスの横方向の長さが (0 . 2 4 μm × 1 0 2 4) = 2 4 5 . 7 6 mm、共通信号線の配線ピッチが 1 6 μm、単位配線シート抵抗が 0 . 2 Ω である 1 2 . 1 型 X G A パネルの場合、上記従来例では総抵抗値が 6 . 1 4 k Ω であるのに対し、第 1 実施例では総抵抗値が 3 . 0 7 k Ω となり半減する。

【0 0 7 3】このように第 1 及び第 2 実施例の液晶表示装置 1 0 0、2 0 0 では、従来例に比して、共通信号線 A 1、A 2 の交差点容量と配線抵抗値とが減少するので、その R C 時定数も大幅に減少する。例えば、第 1 実施例の時定数 R C は、3 . 0 7 k Ω × 7 . 6 p F = 2 3 . 3 n s である。これは、時定数が 6 . 1 4 k Ω × 1 5 . 3 p F = 9 3 . 9 n s である X G A 型の従来例の 1 / 4 である。

【0 0 7 4】以上のように、第 1 及び第 2 実施例では、時定数が改善されることにより、液晶表示の画質の向上が実現する。特に、本実施例によれば、2 5 6 階調のフルカラー表示時において、中間色の表現能力が非常によくなくなる。次に、図 1 2 及び図 1 3 を用いて、本発明の第 3 実施例である X G A 型の液晶表示装置 3 0 0 について説明する。

【0 0 7 5】図 1 2 は、液晶表示装置 3 0 0 の回路構成図である。図 1 2 に示すように、液晶表示装置 3 0 0 は、データドライバ 3 0 2、ゲートドライバ 3 0 4、表示マトリクス 3 0 6 等を備えている。液晶表示装置 3 0 0 は、図 3 に示した液晶表示装置 5 0 において、N = 1、k = 2、n = 8、m = 1 9 2 とした場合の実施例である。すなわち、データドライバ 3 0 2 は、出力数が 3 8 4 ビットのドライバ A、1 9 2 ビットの共通信号線 A 1、A 2、1 6 組のスイッチブロック A 1 1 ~ A 1 8、A 2 1 ~ A 2 8 を備えている。また、各スイッチブロックは、それぞれ 1 9 2 個のアナログスイッチ 3 0 8 を含む。

【0 0 7 6】液晶表示装置 3 0 0 は、更に、データドライバ 3 0 2 内にパネル内蔵型のブロック選択回路 3 0 9 を備えている。表示マトリクス 3 0 6 は、3 0 7 2 ビット × 7 6 8 ビットのマトリクス状に配列された画素セル 3 1 4 を含む。液晶表示装置 3 0 0 は、データドライバ 3 0 2 内のドライバ A が、外付けではなく、低温 p - S

i T F T を用いて表示マトリクス 3 0 6 と一体形成されたパネル内蔵型ドライバである点と、データドライバ 3 0 2 内に p - S i T F T を用いて形成された内蔵型ブロック選択回路 3 0 9 を備えている点に特徴を有する。

【0 0 7 7】ドライバ A をパネル内蔵型とすることで、データドライバ 3 0 2 の入力信号用の端子数を大幅に減らすことが可能となる。入力信号線 3 0 1 の本数は、ビット数 × ポート数で表される。内蔵型ブロック選択回路 3 0 9 は、制御線 B L を介して合計 3 0 7 2 個のアナログスイッチ 3 0 8 のゲートと接続されている。内蔵型ブロック選択回路 3 0 9 は、制御線 B L を介して制御信号 B L 1 ~ B L 8 を与えることでアナログスイッチ 3 0 8 を制御する。制御信号 B L 1 ~ B L 8 の周波数としては、例えば、0 . 5 M H z 程度が要求される。従って、2 0 c m² / V s 以上の移動度を有する p - S i T F T を用いれば、内蔵型ブロック選択回路 3 0 9 を容易に形成することができる。

【0 0 7 8】なお、液晶表示装置 3 0 0 の他の構成は、図 5 に示す液晶表示装置 1 0 0 と同様であり、その説明を省略する。図 1 3 は、液晶表示装置 3 0 0 が備えるデジタルドライバ A の内部構成例を示すブロック図である。図 1 3 に示すように、ドライバ A は、信号入力 / データ分割回路 3 4 0、シリアル / パラレル変換回路 3 4 2、ラッチ回路 3 4 6、レベルシフタ 3 4 8、デコーダからなる D / A コンバータ 3 5 0、オペアンプからなる出力バッファ 3 5 2 及びクロック制御回路 3 5 4 等を備えている。

【0 0 7 9】信号入力 / データ分割回路 3 4 0 には、図示しない外部の信号供給回路から、例えば、8 ビットの表示用デジタル信号が供給される。また、D / A コンバータ 3 5 0 には、外部から階調基準電圧が供給される。更に、クロック制御回路 3 5 4 には、外部の制御回路から制御信号が供給される。クロック制御回路 3 5 4 は、与えられた制御信号に基づき、ラッチ制御信号 L によってドライバ A 内の信号入力 / データ分割回路 3 4 0、ラッチ回路 3 4 6、D / A コンバータ 3 5 0、出力バッファ 3 5 2 等の制御を行う。

【0 0 8 0】表示マトリクス 3 0 6 と一体形成するために p - S i T F T で構成されたドライバ A は、外付け用の半導体 L S I のドライバに比して動作周波数が低いいため、その T F T 性能に合わせて入力された表示用データを最適な転送レート（周波数）に変換する必要がある。そこで、信号入力 / データ分割回路 3 4 0 は、データドライバ 3 0 2 内に供給された 8 ビットの表示用デジタル信号を更に分割して、動作周波数を下げる。なお、低温 p - S i T F T の移動度は、1 5 0 c m² / V s 以下であるため、クロック周波数を 1 0 M H z 以下に設定した方がマージンが広がる。

【0 0 8 1】シリアル / パラレル変換回路 3 4 2 は複数チャンネルのシリアル信号をパラレル信号に変換し、そ

10

20

30

40

50

の信号をラッチ回路 3 4 6 に転送する。ラッチ回路 3 4 6 は、転送されたパラレル信号を一時保持して所定のタイミングでレベルシフタ 3 4 8 及び D/A コンバータ 3 5 0 側に転送する。レベルシフタ 3 4 8 は、約 5 ~ 1 0 V のロジックレベルを約 1 0 ~ 1 5 V の液晶駆動電圧レベルに変換する。D/A コンバータ 3 5 0 は、供給された階調基準電圧に基づき 2 5 6 階調信号を生成し、デジタル階調コードをその階調に応じた電圧 (2 5 6 階調から選択) に変換する。そして、出力バッファ回路 3 5 2 は、D/A コンバータ 3 5 0 から供給された階調電圧を所定のタイミングで共通信号線 A 1、A 2 側に出力する。

【 0 0 8 2 】なお、公知の高移動度 p - S i T F T の C G S 技術等を採用すれば、クロック周波数が数十 M H z の内蔵型 p - S i T F T ドライバ A を実現することも可能である。本実施例のドライバ A は、出力ビット数がブロック幅分しかないため、従来のビット対応のドライバを有する線順次駆動方式の液晶表示装置に比して回路規模を小さくすることができ、その消費電力も下げることができる。

【 0 0 8 3 】内蔵型データドライバ A を有する液晶表示装置を以下のように構成してもよい。図 1 4 は、本発明の第 4 実施例である X G A 型の液晶表示装置 4 0 0 の回路構成図である。図 1 4 に示すように、液晶表示装置 4 0 0 は、データドライバ 4 0 2、ゲートドライバ 4 0 4、表示マトリクス 4 0 6 等を備えている。液晶表示装置 4 0 0 は、図 3 に示した液晶表示装置 5 0 において、 $N = 1$ 、 $k = 3$ 、 $n = 8$ 、 $m = 1 2 8$ とした場合の実施例である。すなわち、データドライバ 4 0 2 は、出力数が 3 8 4 ビットのドライバ A、1 2 8 ビットの共通信号線 A 1、A 2、A 3、2 4 組のスイッチブロック A 1 1 ~ A 1 8、A 2 1 ~ A 2 8、A 3 1 ~ A 3 8 を備えている。各スイッチブロックは、それぞれ 1 2 8 個のアナログスイッチ 4 0 8 を含む。アナログスイッチ 4 0 8 のゲートには、制御線 B L が接続されている。アナログスイッチ 4 0 8 は、制御線 B L を介して与えられる制御信号 B L 1 ~ B L 8 によって制御される。

【 0 0 8 4 】また、表示マトリクス 4 0 6 は、3 0 7 2 ビット \times 7 6 8 ビットのマトリクス状に配列された画素セル 4 1 4 を含む。液晶表示装置 4 0 0 は、液晶表示装置 3 0 0 と同様に、内蔵型 p - S i T F T ドライバ A を有し、ドライバ A が 1 2 8 ビットの 3 組の共通信号線 A 1、A 2、A 3 に接続されている点に特徴を有する。3 組の共通信号線 A 1、A 2、A 3 を配設することにより、液晶表示装置 3 0 0 に比してパネル額縁の更なる縮小化と時定数の低減化が実現される。

【 0 0 8 5 】なお、液晶表示装置 4 0 0 の他の構成は、図 1 2 に示す液晶表示装置 3 0 0 と同様であり、その説明を省略する。続いて、図 1 4 及び図 1 5 を用いて液晶表示装置 4 0 0 の動作を説明する。図 1 5 は、液晶表示

装置 4 0 0 の動作タイミング図である。図 1 5 に示すように、1 水平走査期間 T_h は、8 つのタイミングブロック B L 1 ~ B L 8 を含んでいる。また、1 水平走査期間 T_h の両端には、走査信号 V_g の立ち上がり時間と立ち下がり時間とからなるブランキング期間 T_{bk} が設けられている。ここで、例えば、1 水平走査期間 T_h は約 2 1 . 7 μs であり、各タイミングブロック B L 1 ~ B L 8 の時間長 T_b は約 2 . 0 μs であり、1 ブランキング期間 T_{bk} は約 5 . 7 μs である。なお、説明の便宜上、表示マトリクス 4 0 6 において、第 1 列目 ~ 第 3 0 7 2 列目に配設された信号線 4 1 0 をそれぞれ d 0 0 0 1 ~ d 3 0 7 2 とする。

【 0 0 8 6 】図 1 4 に示すゲートドライバ 4 0 4 から表示マトリクス 4 0 6 内の第 1 行目の走査線 4 1 2 にハイレベルの走査信号 V_g が供給されると、まず、第 1 のタイミングブロック B L 1 の間、制御信号 B L 1 により、スイッチブロック A 1 1、A 2 1、A 3 1 内の合計 3 8 4 個のアナログスイッチ 4 0 8 はオン状態となる。この時、オン状態となったアナログスイッチ 4 0 8 と、信号線 d 0 0 0 1 ~ d 0 1 2 8、d 1 0 2 5 ~ d 1 1 5 2、d 2 0 4 9 ~ d 2 1 7 6 を介して接続された画素セル 4 1 4 にドライバ A から表示信号 V_s が供給され、液晶表示が行われる。

【 0 0 8 7 】次に、第 2 のタイミングブロック B L 2 の間、制御信号 B L 2 により、スイッチブロック A 1 2、A 2 2、A 3 2 内の合計 3 8 4 個のアナログスイッチ 4 0 8 は、オン状態となる。この時、オン状態となったアナログスイッチ 4 0 8 と、信号線 d 0 1 2 9 ~ d 0 2 5 6、d 1 1 5 3 ~ d 1 2 8 0、d 2 1 7 7 ~ d 2 3 0 4 を介して接続された画素セル 4 1 4 にドライバ A から表示信号 V_s が与えられ、液晶表示が行われる。

【 0 0 8 8 】上記のような動作が繰り返され、第 8 のタイミングブロック B L 8 において、スイッチブロック A 1 8、A 2 8、A 3 8 内のアナログスイッチ 4 0 8 に対して制御信号 B L 8 が供給され、対応する 3 8 4 個の画素セル 4 1 4 内に表示信号 V_s が書き込まれると、1 水平走査期間 T_h が終了となる。表示信号 V_s が書き込まれた画素セル 4 1 4 は、次の走査信号 V_g が与えられるまで表示信号 V_s を保持する。このような信号書き込み動作と信号保持動作は、6 0 H z 程度のフレーム周期で繰り返される。

【 0 0 8 9 】上述の如く、第 3 及び第 4 実施例の液晶表示装置 3 0 0、4 0 0 の各タイミングブロック B L 1 ~ B L 8 では、各共通信号線 A 1、A 2 (A 1 ~ A 3) に係る複数のブロックが順次選択されるので、共通信号線 A 1、A 2 の配線幅を拡大せずに、全体として広いデータ幅で表示信号 V_s を書き込むことができる。例えば、液晶表示装置 4 0 0 によれば、従来のデジタル線順次駆動方式に比して回路規模が 1 / 8 の内蔵型ドライバ A により、水平画素数が 3 0 7 2 ビットの表示マトリクス 4

0 6 に 2 . 0 μ s の転送レートで表示信号 V s を書き込むことができる。

【0 0 9 0】また、液晶表示装置 3 0 0、4 0 0 内に回路規模の小さい内蔵型 p - S i T F T ドライバ A を用いることによって、消費電力の低減化が可能となる。また、ドライバ A を構成する T F T 数も少なくなるため、製造工程における歩留りが向上する。また、第 3 及び第 4 実施例が備えるドライバ A の出力ビット数 (3 8 4) は、表示マトリクス 3 0 6、4 0 6 の水平画素数 (3 0 7 2) の 1 / 8 であるため、ドライバ A の出力端子ピッチを水平画素ピッチの 8 倍まで広めることができる。例えば、画素ピッチが 0 . 2 4 mm の 1 2 . 1 型 X G A パネルに本第 3 及び第 4 実施例を適用した場合、ドライバ A の出力端子ピッチを 0 . 2 4 mm \times 8 = 1 . 9 2 mm にすることができる。これは、従来の内蔵型線順次ドライバに比して回路幅を大幅に縮小可能であることを意味する。本実施例は、画素ピッチの小さい小型パネルに特に有効である。

【0 0 9 1】また、上述の如く、第 3 及び第 4 実施例ではドライバ A の出力端子ピッチの設計自由度が高いため、共通信号線の組数の設計自由度も高くなる。例えば、データドライバ 3 0 2、4 0 2 内の第 2 階層 C B を、4 8 ビットの 8 組の共通信号線 A 1 ~ A 8 で構成した場合、3 8 4 ビットの従来例の共通信号線 D 1 ~ D 3 8 4 に比して、各共通信号線 A 1 ~ A 8 の容量性負荷及び抵抗性負荷が共に 1 / 8 程度となり、R C 時定数が 1 / 1 6 程度となる。

【0 0 9 2】次に、図 1 6 ~ 図 1 8 及び表 4 を用いて、本発明の第 5 実施例である Q X G A 型の液晶表示装置 5 0 0 について説明する。図 1 6 は、液晶表示装置 5 0 0 の全体構成図である。図 1 6 に示すように、液晶表示装置 5 0 0 は、データドライバ 5 0 2、ゲートドライバ 5 0 4、表示マトリクス 5 0 6 等を備えている。液晶表示装置 5 0 0 は、図 3 に示した液晶表示装置 5 0 において、N = 4、k = 1、n = 4、m = 3 8 4 とした場合の実施例である。すなわち、データドライバ 5 0 2 は、出力数が 3 8 4 ビットの 4 つの T A B 実装されたドライバ

A、B、C、D、3 8 4 ビットの共通信号線 A 1、B 1、C 1、D 1、1 6 組のスイッチブロック A 1 1 ~ A 1 4、B 1 1 ~ B 1 4、C 1 1 ~ C 1 4、D 1 1 ~ D 1 4 を備えている。また、表示マトリクス 5 0 6 は、6 1 4 4 ビット \times 1 5 3 6 ビットのマトリクス上に配設された画素セル 5 1 4 を含む。

【0 0 9 3】液晶表示装置 5 0 0 は、複数のドライバ A、B、C、D を備えたマルチドライバ型である点に特徴を有する。なお、液晶表示装置 5 0 0 の他の構成は、図 5 に示す液晶表示装置 1 0 0 と同様であり、その説明を省略する。図 1 7 は、液晶表示装置 5 0 0 が備えるデータドライバ 5 0 2 の構成図である。

【0 0 9 4】図 1 7 に示すように、データドライバ 5 0 2 は、第 1 階層 D B においてドライバ A、B、C、D を有し、第 2 階層 C B において、それぞれ 3 8 4 ビットの共通信号線 A 1、B 1、C 1、D 1 を有し、第 3 階層 S B において 1 6 組のスイッチブロック A 1 1 ~ A 1 4、B 1 1 ~ B 1 4、C 1 1 ~ C 1 4、D 1 1 ~ D 1 4 を有する。スイッチブロック A 1 1 ~ A 1 4、B 1 1 ~ B 1 4、C 1 1 ~ C 1 4、D 1 1 ~ D 1 4 は、それぞれ例えば、CMOS 型のアナログスイッチ 5 0 8 を 3 8 4 個ずつ含む。すなわち、データドライバ 5 0 2 は、1 6 \times 3 8 4 = 6 1 4 4 個のアナログスイッチ 5 0 8 を備えている。なお、アナログスイッチ 5 0 8 は、CMOS 型に限らず NMOS 型又は PMOS 型のものでもよい。

【0 0 9 5】ドライバ A の 3 8 4 ビットの出力端は、共通信号線 A 1 に接続されている。また、共通信号線 A 1 内の 3 8 4 本の信号線 D 1 ~ D 3 8 4 は、それぞれスイッチブロック A 1 1 ~ A 1 4 内の対応するアナログスイッチ 5 0 8 に接続されている。なお、液晶表示装置 5 0 0 において、ドライバ B、C、D に係る構成もドライバ A と同様であり、その説明を省略する。

【0 0 9 6】表 4 は、液晶表示装置 5 0 0 の 1 水平走査期間 T h におけるスイッチブロックの制御タイミングを示す。

【0 0 9 7】

【表 4】

物理ノット タイミングノット	A 1 (No. 1)	B 1 (No. 2)	C 1 (No. 3)	D 1 (No. 4)	合計
B L 1	A 1 1	B 1 1	C 1 1	D 1 1	1536E ₇ t
B L 2	A 1 2	B 1 2	C 1 2	D 1 2	1536E ₇ t
B L 3	A 1 3	B 1 3	C 1 3	D 1 3	1536E ₇ t
B L 4	A 1 4	B 1 4	C 1 4	D 1 4	1536E ₇ t
合計	1536E ₇ t (384 \times 4)	1536E ₇ t (384 \times 4)	1536E ₇ t (384 \times 4)	1536E ₇ t (384 \times 4)	6144E ₇ t (1536 \times 4)

【0 0 9 8】液晶表示装置 5 0 0 では、1 水平走査期間 T h が 4 つのタイミングブロック B L 1 ~ B L 4 で構成され、制御信号 B L 1 ~ B L 4 が順次供給されることに

よって、対応するスイッチブロック A 1 1 ~ A 1 4、B 1 1 ~ B 1 4、C 1 1 ~ C 1 4、D 1 1 ~ D 1 4 内のアナログスイッチ 5 0 8 がオン状態とされる。続いて、図

16～図18及び表4を用いて、液晶表示装置500の動作を説明する。

【0099】図18は、液晶表示装置500の動作タイミング図である。図18に示すように、1水平走査期間 T_h は、4つのタイミングブロックBL1～BL4を含んでいる。また、1水平走査期間 T_h の両端には、走査信号 V_g の立ち上がり時間と立ち下がり時間とからなるブランキング期間 T_{bk} が設けられている。ここで、例えば、1水平走査期間 T_h は約 $10.8\mu s$ であり、各タイミングブロックBL1～BL4の時間長 T_b は約

1.8 μs であり、1ブランキング期間 T_{bk} は約3.6 μs である。なお、説明の便宜上、表示マトリクス506において、第1列目～第6144列目に配設された信号線510をそれぞれd0001～d6144とする。

【0100】図16に示すゲートドライバ504から表示マトリクス506内の第1行目の走査線512にハイレベルの走査信号 V_g が供給されると、先ず、第1のタイミングブロックBL1において、制御信号BL1により、スイッチブロックA11、B11、C11、D11

内の合計1536個のアナログスイッチ508はオン状態となる。この時、オン状態となったアナログスイッチ508と、信号線d0001～d0384、d1537～d1920、d3073～d3456、d4609～d4992を介して接続された画素セル514にドライバA、B、C、Dから表示信号 V_s が供給され、液晶表示が行われる。

【0101】次に、第2のタイミングブロックBL2において、制御信号BL2により、スイッチブロックA12、B12、C12、D12内の合計1536個のアナ

ログスイッチ508は、オン状態となる。この時、オン状態となったアナログスイッチ508と、信号線d0385～d0768、d1921～d2304、d3457～d3840、d4993～d5376を介して接続された画素セル514にドライバA、B、C、D、から表示信号 V_s が与えられ、液晶表示が行われる。

【0102】上記のような動作が繰り返され、スイッチブロックA14、B14、C14、D14内のアナログスイッチ508に対して制御信号BL4が供給され、対応する1536個の画素セル514内に表示信号 V_s が

書き込まれると、1水平走査期間 T_h が終了となる。ドライバA、B、C、Dの配置場所は、図16に示す位置に限らず、例えば、以下の液晶表示装置600のように配置してもよい。

【0103】図19は、本発明の第6実施例であるQXGA型の液晶表示装置600の全体構成図である。図19に示すように、液晶表示装置600は、データドライバ602、603ゲートドライバ604、表示マトリクス606等を備えている。液晶表示装置600は、図16に示す液晶表示装置500と同様に、図3の液晶表示

装置50において、 $N=4$ 、 $k=1$ 、 $n=4$ 、 $m=384$ とした場合の実施例である。

【0104】液晶表示装置600は、液晶表示装置500と同様に、マルチドライバ型であり、かつ、表示マトリクス606を間に対向する2つのデータドライバ602、603を備えている点に特徴を有する。スイッチブロックA11～A14、B11～B14内の合計3072個のアナログスイッチ608は、表示マトリクス606内の奇数列に配列された信号線612に接続されている。また、スイッチブロックC11～C14、D11～D14内の合計3072個のアナログスイッチ608は、表示マトリクス606内の偶数列に配列された信号線610に接続されている。

【0105】なお、液晶表示装置600の他の構成及び動作は、図16に示す液晶表示装置500と同様であり、その説明を省略する。次に、図20及び表5を用いて、本発明の第7実施例であるQSXGA型の液晶表示装置700について説明する。図20は、液晶表示装置700が備えるデータドライバ702の構成図である。図20に示すように、データドライバ702は、第1階層DBにおいて、4つのTAB実装されたドライバA、B、C、Dを有し、第2階層CBにおいて、それぞれ384ビットの共通信号線A1、B1、C1、D1を有し、第3階層SBにおいて20組のスイッチブロックA11～A15、B11～B15、C11～C15、D11～D15を有する。スイッチブロックA11～A15、B11～B15、C11～C15、D11～D15は、それぞれ例えば、CMOS型のアナログスイッチ708を384個ずつ含む。

【0106】すなわち、液晶表示装置700は、図3に示した液晶表示装置50において、 $N=4$ 、 $k=1$ 、 $n=5$ 、 $m=384$ とした場合の実施例であり、データドライバ702内に $20 \times 384 = 7680$ 個のアナログスイッチ708を備えている。なお、アナログスイッチ708は、CMOS型に限らずNMOS型又はPMOS型のものでもよい。

【0107】液晶表示装置700は、液晶表示装置500、600と同様に、マルチドライバ型であり、各共通信号線A1、B1、C1、D1にそれぞれ5組のスイッチブロックが接続されている点に特徴を有する。ドライバAの384ビットの出力端は、共通信号線A1に接続されている。また、共通信号線A1内の384本の信号線D1～D384は、それぞれスイッチブロックA11～A15内の対応するアナログスイッチ708に接続されている。

【0108】なお、液晶表示装置700において、ドライバB、C、Dに係る構成もドライバAと同様であり、その説明を省略する。また、液晶表示装置700における他の構成は、図16に示す液晶表示装置500と同様であり、その説明を省略する。表5は、液晶表示装置7

0 0 の 1 水平走査期間 T_h におけるスイッチブロックの
制御タイミングを示す。

【 0 1 0 9 】

【 表 5 】

物理タイ ミング	A 1 (No. 1)	B 1 (No. 2)	C 1 (No. 3)	D 1 (No. 4)	合計
BL 1	A11	B11	C11	D11	1536ビット
BL 2	A12	B12	C12	D12	1536ビット
BL 3	A13	B13	C13	D13	1536ビット
BL 4	A14	B14	C14	D14	1536ビット
BL 5	A15	B15	C15	D15	1536ビット
合計	1536ビット (384×5)	1536ビット (384×5)	1536ビット (384×5)	1536ビット (384×5)	7680ビット (1536×5)

【 0 1 1 0 】 液晶表示装置 7 0 0 では、例えば、8 . 1 μs の 1 水平走査期間 T_h が 5 つのタイミングブロック BL 1 ~ BL 5 で構成され、制御信号 BL 1 ~ BL 5 が順次供給されることによって、対応するスイッチブロック A 1 1 ~ A 1 5、B 1 1 ~ B 1 5、C 1 1 ~ C 1 5、D 1 1 ~ D 1 5 内のアナログスイッチ 7 0 8 が 1 5 3 6 個ずつオン状態とされる。

【 0 1 1 1 】 上述の如く、第 5 ~ 第 7 実施例の液晶表示装置 5 0 0、6 0 0、7 0 0 では、4 組の共通信号線 A 1、B 1、C 1、D 1 が設けられており、各タイミングブロック BL 1 ~ BL 4 (BL 1 ~ BL 5) では、各共通信号線 A 1 ~ D 1 に係る複数のブロックが選択されるので、共通信号線 A 1 ~ D 1 の配線幅を拡大せずに、全体として広いデータ幅で表示信号 V_s を書き込むことができる。例えば、液晶表示装置 5 0 0 では、それぞれが 3 8 4 ビットの共通信号線 A 1 ~ D 1 によって水平画素数が 6 1 4 4 ビットの表示マトリクス 5 0 6 に表示信号 V_s を書き込むことが可能となっている。このように第 5 ~ 第 7 実施例では、ビット数の少ない共通信号線 A 1 ~ D 1 を配設することで、それぞれの容量性負荷、抵抗性負荷及び RC 時定数が非常に低減されている。

【 0 1 1 2 】 第 5 ~ 第 7 実施例は、4 つのドライバ A 1 ~ D 1 を備えたマルチドライバ構成であるため、各ドライバ A 1 ~ D 1 には、出力ビット数の少ないものを使用することができる。これは、液晶表示装置 5 0 0 ~ 7 0 0 の低コスト化に寄与する。従来の a - S i パネルの場合、ドライバの全出力数は水平画素数と等しい。従って、例えば、QXGA (水平画素数 6 1 4 4 ビット) パネルを駆動するには、3 8 4 ビットの出力数のドライバを 1 6 個も備える必要があった。一方、第 5 ~ 第 7 実施例では、各ドライバが 1 水平走査期間 T_h に 4 回ずつ表示信号 V_s を出力するので、4 つのドライバ A 1 ~ D 1 で QXGA パネルを駆動することができる。

【 0 1 1 3 】 次に、図 2 1 ~ 図 2 3 及び表 6 を用いて、本発明の第 8 実施例である XGA 型の液晶表示装置 8 0 0 について説明する。図 2 1 は、液晶表示装置 8 0 0 の全体構成図である。図 2 1 に示すように、液晶表示装置

8 0 0 は、データドライバ 8 0 2、ゲートドライバ 8 0 4、表示マトリクス 8 0 6 等を備えている。液晶表示装置 8 0 0 は、図 3 に示した液晶表示装置 5 0 において、 $N=2$ 、 $k=2$ 、 $n=4$ 、 $m=384$ とした場合の実施例である。すなわち、データドライバ 8 0 2 は、出力数が 3 8 4 ビットの 2 つの TAB 実装されたドライバ A、B、3 8 4 ビットの共通信号線 A 1、A 2、B 1、B 2、1 6 組のスイッチブロック A 1 1 ~ A 1 4、A 2 1 ~ A 2 4、B 1 1 1 ~ B 1 4、B 2 1 ~ B 2 4 を備えている。また、表示マトリクス 8 0 6 は、3 0 7 2 ビット \times 7 6 8 ビットのマトリクス上に配設された画素セル 8 1 4 を含む。

【 0 1 1 4 】 液晶表示装置 8 0 0 は、液晶表示装置 5 0 0、6 0 0、7 0 0 と同様にマルチドライバ型であり、かつ、各ドライバが 2 組の共通信号線に接続されている点に特徴を有する。なお、液晶表示装置 8 0 0 における他の構成は、図 5 に示す液晶表示装置 1 0 0 と同様であり、その説明を省略する。

【 0 1 1 5 】 図 2 2 は、液晶表示装置 8 0 0 が備えるデータドライバ 8 0 2 の構成図である。図 2 2 に示すように、データドライバ 8 0 2 は、第 1 階層 DB において、2 つのドライバ A、B を有し、第 2 階層 CB において、それぞれ 1 9 2 ビットの共通信号線 A 1、A 2、B 1、B 2 を有し、第 3 階層 SB において 1 6 組のスイッチブロック A 1 1 ~ A 1 4、A 2 1 ~ A 2 4、B 1 1 1 ~ B 1 4、B 2 1 ~ B 2 4 を有する。スイッチブロック A 1 1 ~ A 1 4、A 2 1 ~ A 2 4、B 1 1 1 ~ B 1 4、B 2 1 ~ B 2 4 は、それぞれ例えば、CMOS 型のアナログスイッチ 8 0 8 を 1 9 2 個ずつ含む。すなわち、データドライバ 8 0 2 は、 $16 \times 192 = 3072$ 個のアナログスイッチ 8 0 8 を備えている。

【 0 1 1 6 】 なお、アナログスイッチ 8 0 8 は、CMOS 型に限らず NMOS 型又は PMOS 型のものでもよい。ドライバ A の 3 8 4 ビットの出力端は、共通信号線 A 1、A 2 に接続されている。また、共通信号線 A 1 内の 1 9 2 本の信号線 D 1 ~ D 1 9 2 は、それぞれスイッチブロック A 1 1 ~ A 1 4 内の対応するアナログスイッ

20

30

40

50

チ 808 に接続されている。また、共通信号線 A2 内の 192 本の信号線 D193～D384 は、それぞれスイッチブロック A21～A24 内の対応するアナログスイッチ 808 に接続されている。

【0117】なお、液晶表示装置 800 において、ドライバ B に係る構成もドライバ A と同様であり、その説明

物理ブロック タイミングブロック	A1 (CB)	A2 (CB)	B1 (CB)	B2 (CB)	合計
BL1	A11	A21	B11	B21	768ビット
BL2	A12	A22	B12	B22	768ビット
BL3	A13	A23	B13	B23	768ビット
BL4	A14	A24	B14	B24	768ビット
合計	768ビット (192×4)	768ビット (192×4)	768ビット (192×4)	768ビット (192×4)	3072ビット (768×4)

【0119】液晶表示装置 800 では、1 水平走査期間 Th が 4 つのタイミングブロック BL1～BL4 で構成され、制御信号 BL1～BL4 が順次供給されることによって、対応するスイッチブロック A11～A14、A21～A24、B111～B14、B21～B24 内のアナログスイッチ 808 がオン状態とされる。続いて、図 21～図 23 及び表 6 を用いて液晶表示装置 800 の動作を説明する。

【0120】図 23 は、液晶表示装置 800 の動作タイミング図である。図 23 に示すように、1 水平走査期間 Th は、4 つのタイミングブロック BL1～BL4 を含んでいる。また、1 水平走査期間 Th の両端には、走査信号 Vg の立ち上がり時間と立ち下がり時間とからなるブランキング期間 Tbk が設けられている。ここで、例えば、1 水平走査期間 Th は約 21.7 μ s であり、各タイミングブロック BL1～BL4 の時間長 Tb は約 4.0 μ s であり、1 ブランキング期間 Tbk は約 5.7 μ s である。なお、説明の便宜上、表示マトリクス 806 において、第 1 列目～第 3072 列目に配設された信号線 810 をそれぞれ d0001～d3072 とする。

【0121】図 21 に示すゲートドライバ 804 から表示マトリクス 806 内の第 1 行目の走査線 812 にハイレベルの走査信号 Vg が供給されると、まず、第 1 のタイミングブロック BL1 において、制御信号 BL1 により、スイッチブロック A11、A21、B11、B21 内の合計 768 個のアナログスイッチ 808 はオン状態となる。この時、オン状態となったアナログスイッチ 808 と、信号線 d0001～d0192、d0769～d0960、d1537～d1728、d2305～d2496 を介して接続された画素セル 814 にドライバ A、B から表示信号 Vs が供給され、液晶表示が行われる。

【0122】次に、第 2 のタイミングブロック BL2 に

を省略する。表 6 は、液晶表示装置 800 の 1 水平走査期間 Th におけるスイッチブロックの制御タイミングを示す。

【0118】

【表 6】

において、制御信号 BL2 により、スイッチブロック A12、A22、B12、B22 内の合計 768 個のアナログスイッチ 808 は、オン状態となる。この時、オン状態となったアナログスイッチ 808 と、信号線 d0193～d0384、d0961～d1152、d1729～d1920、d2497～d2689 を介して接続された画素セル 814 にドライバ A、B から表示信号 Vs が与えられ、液晶表示が行われる。

【0123】上記のような動作が繰り返され、スイッチブロック A14、A24、B14、B24 内のアナログスイッチ 808 に対して制御信号 BL4 が供給され、対応する 768 個の画素セル 814 内に表示信号 Vs が書き込まれると、1 水平走査期間 Th が終了となる。次に、図 24 及び表 7 を用いて、本発明の第 9 実施例である SXGA 型の液晶表示装置 900 について説明する。

【0124】図 24 は、液晶表示装置 900 が備えるデータドライバ 902 の構成図である。図 24 に示すように、データドライバ 902 は、第 1 階層 DB において、TAB 実装されたドライバ A、B を有し、第 2 階層 CB において、それぞれ 192 ビットの共通信号線 A1、A2、B1、B2 を有し、第 3 階層 SB において 20 組のスイッチブロック A11～A15、A21～A25、B11～B15、B21～B25 を有する。スイッチブロック A11～A15、A21～A25、B11～B15、B21～B25 は、それぞれ例えば、CMOS 型のアナログスイッチ 708 を 192 個ずつ含む。

【0125】すなわち、液晶表示装置 900 は、図 3 に示した液晶表示装置 50 において、N=2、k=2、n=5、m=192 とした場合の実施例であり、データドライバ 902 内に $20 \times 192 = 3840$ 個のアナログスイッチ 908 を備えている。なお、アナログスイッチ 908 は、CMOS 型に限らず NMOS 型又は PMOS 型のものでもよい。

【0126】液晶表示装置 900 は、液晶表示装置 80

0と同様にマルチドライバ型であり、各ドライバが2組の共通信号線に接続されており、かつ、各共通信号線に5組のスイッチブロックが接続されている点に特徴を有する。ドライバAの384ビットの出力端は、共通信号線A1、A2に接続されている。また、共通信号線A1、A2内の192本の信号線D1～D384、D193～D384は、それぞれスイッチブロックA11～A15、A21～A25内の対応するアナログスイッチ908に接続されている。なお、液晶表示装置900にお

物理力 タイミング	A 1 (CB)	A 2 (CB)	B 1 (CB)	B 2 (CB)	合計
BL 1	A11	A21	B11	B21	768ビット
BL 2	A12	A22	B12	B22	768ビット
BL 3	A13	A23	B13	B23	768ビット
BL 4	A14	A24	B14	B24	768ビット
BL 5	A15	A25	B15	B25	768ビット
合計	960ビット (192×5)	960ビット (192×5)	960ビット (192×5)	960ビット (192×5)	3840ビット (768×5)

【0129】液晶表示装置900では、1水平走査期間Thが5つのタイミングブロックBL1～BL5で構成され、制御信号BL1～BL5が順次供給されることによって、対応するスイッチブロックA11～A15、A21～A25、B11～B15、B21～B25内のアナログスイッチ908がオン状態とされる。上述の如く、第8及び第9実施例の液晶表示装置800、900では、2個のドライバA、Bにそれぞれ2組の共通信号線A1、A2、B1、B2が接続されており、各共通信号線A1、A2、B1、B2は192本の信号線D1～D192、D193～D384で構成されている。この結果、各共通信号線A1、A2、B1、B2内の信号線本数(192本)が図1、2に示す従来例の液晶表示装置10に比して半減するので、共通信号線A1、A2、B1、B2の配線幅もほぼ半減する。例えば、共通信号線の配線ピッチを16μmとした場合、従来例の共通信号線D1～D384の配線幅は、約6.14(16μm×384)mmとなるのに対し、第8及び第9実施例の液晶表示装置800、900の共通信号線A1、A2、B1、B2の配線幅は、共に約3.07(16μm×192)mmとなる。従って、本実施例によれば、共通信号線A1、A2、B1、B2の配線幅の縮小によるパネル額縁の縮小化と液晶表示装置800、900の軽量化が実現される。

【0130】図1に示す従来例の液晶表示装置10をXGA型として、4.0μs/ブロックの信号書き込み時間を確保するには、表示マトリクス18を4ブロックで構成し、各ブロックB1～B4のデータ幅を768ビットにする必要がある。この場合、共通信号線D1～D768と図1に示す引き出し線31とは、最大(768-

いて、ドライバBに係る構成もドライバAと同様であり、その説明を省略する。また、液晶表示装置900における他の構成は、図21に示す液晶表示装置800と同様であり、その説明を省略する。

【0127】表7は、液晶表示装置900の1水平走査期間Thにおけるスイッチブロックの制御タイミングを示す。

【0128】

【表7】

1)×4=3068箇所て交差する。

【0131】一方、例えば、第8実施例の液晶表示装置800が備える共通信号線D1～D192は、共通信号線D1～D192とアナログスイッチ808を接続する引き出し線と最大(192-1)×4=764箇所て交差する。ここで、1交差点当たりの交差容量を5fFとすると、従来例における共通信号線D1～D768の容量は約15.3pFであるのに対し、第8実施例における共通信号線D1～D192の容量は約3.8pFとなる。これは、第1実施例の共通信号線D1～D384の約7.6pFと比べても半分である。このように本第8及び第9実施例によれば、各共通信号線A1、A2、B1、B2の交差点容量が大幅に減少する。

【0132】また、第8及び第9実施例の液晶表示装置800、900は、それぞれ2組の共通信号線A1、A2、B1、B2を有するため、各共通信号線A1、A2、B1、B2の(例えば、図21における)水平方向の長さが従来例に比して1/4になる。このため、第8及び第9実施例によれば、各共通信号線A1、A2、B1、B2の配線抵抗も減少する。例えば、画素ピッチが0.24μm、表示マトリクスの横方向の長さが(0.24μm×1024)=245.76mm、共通信号線の配線ピッチが16μm、単位配線シート抵抗が0.2Ωである12.1型XGAパネルの場合、上記従来例では総抵抗値が6.14kΩであるのに対し、第8実施例では総抵抗値が1.5kΩとなる。これは、第1実施例の3.07kΩと比べても約半分である。

【0133】このように第8及び第9実施例の液晶表示装置800、900では、従来例に比して、共通信号線A1、A2、B1、B2の交差点容量と配線抵抗値とが

減少するので、そのRC時定数も大幅に減少する。例えば、第8実施例の時定数RCは、 $1.5\text{ k}\Omega \times 3.8\text{ pF} = 5.7\text{ ns}$ である。これは、時定数が $6.14\text{ k}\Omega \times 15.3\text{ pF} = 93.9\text{ ns}$ であるXGA型の従来例の $1/4$ であり、時定数が $3.07\text{ k}\Omega \times 7.6\text{ pF} = 23.3\text{ ns}$ である第1実施例の $1/16$ である。

【0134】以上のように、第8及び第9実施例では、時定数が改善されることにより液晶表示の画質の更なる向上が実現する。次に、図25～図29、表8及び表9を用いて、本発明の第10実施例であるQXGA型の液晶表示装置910について説明する。図25は、液晶表示装置910の全体構成図である。

【0135】図25に示すように、液晶表示装置910は、データドライバ920、ゲートドライバ922、表示マトリクス924等を備えている。液晶表示装置910は、図3に示した液晶表示装置50において、 $N=4$ 、 $k=2$ 、 $n=4$ 、 $m=192$ とした場合の実施例である。すなわち、データドライバ920は、出力数が384ビットの4つのTAB実装されたドライバA、B、C、D、192ビットの共通信号線A1、A2、B1、B2、C1、C2、D1、D2、32組のスイッチブロックA11～D24を備えている。また、表示マトリクス924は、 $6144\text{ ビット} \times 1536\text{ ビット}$ のマトリクス上に配設された画素セル926を含む。

【0136】液晶表示装置910は、4つのドライバA、B、C、Dを備えており、各ドライバが2組の共通信号線A1～D2を備えている点に特徴を有する。なお、液晶表示装置910における他の構成は、図16に示す液晶表示装置500と同様であり、その説明を省略する。図26は、液晶表示装置910が備えるデータドライバ920の構成図である。

【0137】図26に示すように、データドライバ920は、第1階層DBにおいてドライバA、B、C、Dを有し、第2階層CBにおいて、それぞれ192ビットの共通信号線A1～D2を有し、第3階層SBにおいて、32組のスイッチブロックA11～D24を有する。これらのスイッチブロックは、それぞれ例えば、CMOS型のアナログスイッチ928を192個ずつ含む。すなわち、データドライバ920は、 $32 \times 192 = 6144$ 個のアナログスイッチ928を備えている。なお、アナログスイッチ928は、CMOS型に限らずNMOS型又はPMOS型のものでもよい。

【0138】図27は、液晶表示装置910の実装例を示す図である。ここでは、液晶表示装置910が15型QXGA低温p-SiTFTパネルであり、2つのゲー

トドライバ922、923を備えた実装例を示す。液晶表示装置911は、ゲートドライバ922、923と、データドライバ920と、表示マトリクス924の他、リペア回路925等を備えている。リペア回路925は、表示マトリクス924内の信号線の欠陥を修復する。

【0139】なお、上述した第1～第9実施例である液晶表示装置100～900が本実装例のように複数のゲートドライバを備えるようにしてもよい。図28は、液晶表示装置910が備えるドライバA周辺の回路構成図である。図28に示すように、液晶表示装置910は、ドライバA、TFT基板932、対向基板934、ゲートドライバ922、表示マトリクス924等を備えている。

【0140】ドライバAは、TAB-IC入力端子936と、384ビットの出力端子を備えている。ドライバAの384ビットの出力端子は、192ビットずつそれぞれ共通信号線A1（D1～D192）、A2（D193～D384）に接続されている。また、信号線D1～D192は、それぞれスイッチブロックA11～A14内の対応するアナログスイッチ928に接続されており、信号線D193～D384は、それぞれスイッチブロックA21～A24内の対応するアナログスイッチ928に接続されている。また、各アナログスイッチ928のゲートには、制御線BLが接続されており、制御線BLを介して供給される制御信号BL1～BL4によってそれぞれのアナログスイッチ928は制御される。例えば、スイッチブロックA11、A21内の合計384個のアナログスイッチ928は、制御信号BL1によって制御される。

【0141】ドライバAに係るTAB938からは、制御信号BL1～BL4用の4本の制御線BLの他、表示マトリクス924の左側に設けられたゲートドライバ922の10本のクロック線及び電源線等を含むゲートドライバ制御線940も直接に引き出されている。なお、図27に示す表示マトリクス924の右側に設けられたゲートドライバ923のゲートドライバ制御線940は、ドライバDに係るTABから引き出されている。図28に示すTAB938のサイズは、例えば、 3.00 mm 程度にすることができる。

【0142】表8は、液晶表示装置910の主な設計仕様例を示す。

【0143】

【表8】

分 類	項 目	単 位	仕 様
表示仕様 寸法	液晶表示装置のタイプ	---	低温p-Si周辺回路一体化型
	パネル型(対角寸法)	型(cm)	15型(38cm)
	表示フォーマット		QXGA(XGA)
	表示マトリクス	pixel	(2048×3)×1536
	画素数	pixel	9437,184(～944万)
	画素寸法	mm	(0.0495×3)×0.1485
	ユニット外形寸法	mm	374.3×264.3×21.0
	パネル(TFT)寸法	mm	315.55×239.30±.30
	CF基板寸法	mm	312.55×236.30±.30
	偏光板寸法(TFT)	mm	308.00×232.00±.30
	偏光板寸法(CF)	mm	311.35×235.10±.30
	有効表示面積	mm	311.35×235.10±.30
光学/入力 仕様等	表示形式		TFT駆動ノーマリブラック
	広視野角方式		MVA(マルチドメインVA)
	ドメイン分割数		4ドメイン/画素
	表示色		1670万色(8ビット)/26万(6ビット)
	表示階調数		256階調/64階調
	バックライト		冷陰極管4本(上下各2本)
	入力データ		8ビット/6ビット(デジタル)

【0144】表9は、液晶表示装置910の1水平走査期間Thにおけるスイッチブロックの制御タイミングを示す。

【0145】

【表9】

物理 レイヤ タイミ ング ブロック	A (DBレイヤ)		B (DBレイヤ)		C (DBレイヤ)		D (DBレイヤ)		合 計
	A1 (CB)	A2 (CB)	B1 (CB)	B2 (CB)	C1 (CB)	C2 (CB)	D1 (CB)	D2 (CB)	
BL1	A11 (SB)	A21 (SB)	B11 (SB)	B21 (SB)	C11 (SB)	C21 (SB)	D11 (SB)	D21 (SB)	1536ビット
BL2	A12 (SB)	A22 (SB)	B12 (SB)	B22 (SB)	C12 (SB)	C22 (SB)	D12 (SB)	D22 (SB)	1536ビット
BL3	A13 (SB)	A23 (SB)	B13 (SB)	B23 (SB)	C13 (SB)	C23 (SB)	D13 (SB)	D23 (SB)	1536ビット
BL4	A14 (SB)	A24 (SB)	B14 (SB)	B24 (SB)	C14 (SB)	C24 (SB)	D14 (SB)	D24 (SB)	1536ビット
合計	768ビット 192×4	768ビット 192×4	768ビット 192×4	768ビット 192×4	768ビット 192×4	768ビット 192×4	768ビット 192×4	768ビット 192×4	6144ビット 1536×4

【0146】液晶表示装置910では、1水平走査期間Thが4つのタイミングブロックBL1～BL4で構成され、制御信号BL1～BL4が順次供給されることによって、対応するスイッチブロックA11～D24内のアナログスイッチ928がオン状態とされる。次に、図25～図29及び表9を用いて、液晶表示装置910の動作を説明する。

【0147】図29は、液晶表示装置910の動作タイミング図である。図29に示すように、1水平走査期間Thは、4つのタイミングブロックBL1～BL4を含

んでいる。例えば、1水平走査期間Thは約10.8μsであり、各タイミングブロックBL1～BL4の時間長Tbは約1.8μsであり、1ブランキング期間Tbkは約3.6μsである。

【0148】まず、第1のタイミングブロックBL1において、制御信号BL1により、スイッチブロックA11、A21、B11、B21、C11、C21、D11、D21内の合計1536個のアナログスイッチ928はオン状態となる。この時、オン状態となったアナログスイッチ928を介して対応する画素セル926にド

ライバA、B、C、Dから表示信号Vsが供給され、液晶表示が行われる。

【0149】次に、第2のタイミングブロックBL2において、制御信号BL2により、スイッチブロックA12、A22、B12、B22、C12、C22、D12、D22内の合計1536個のアナログスイッチ928は、オン状態となる。この時、オン状態となったアナログスイッチ928を介して対応する画素セル926にドライバA、B、C、Dから表示信号Vsが与えられ、液晶表示が行われる。

【0150】上記のような動作が繰り返され、スイッチブロックA14、A24、B14、B24、A14、A24、B14、B24内のアナログスイッチ928に対して制御信号BL4が供給され、対応する1536個の画素セル926内に表示信号Vsが書き込まれると、1水平走査期間Thが終了となる。ドライバA、B、C、Dの配置場所は、図25及び図27に示す位置に限らず、例えば、以下の液晶表示装置911のように配置してもよい。

【0151】図30は、本発明の第11実施例であるQXGA型の液晶表示装置911の全体構成図である。図30に示すように、液晶表示装置911は、データドライバ950、951、ゲートドライバ952、表示マトリクス954等を備えている。液晶表示装置911は、図25に示す液晶表示装置910と同様に、図3の液晶表示装置50において、 $N=4$ 、 $k=2$ 、 $n=4$ 、 $m=192$ とした場合の実施例である。

【0152】液晶表示装置911は、マルチドライバ型であり、かつ、表示マトリクス954を間に対向する2つのデータドライバ950、951を備えている点に特徴を有する。液晶表示装置911において、スイッチブロックA11~A14、A21~A24、B11~B14、B21~B24内の合計3072個のアナログスイッチ958は、表示マトリクス954内の奇数列に配列された信号線959に接続されている。また、スイッチブロックC11~C14、C21~C24、D11~D14、D21~D24内の合計3072個のアナログスイッチ958は、表示マトリクス954内の偶数列に配列された信号線959に接続されている。

【0153】なお、液晶表示装置911の他の構成及び動作は、図25に示す液晶表示装置910と同様であり、その説明を省略する。図31は、本発明の第12実施例であるQXGA型の液晶表示装置912の全体構成図である。図31に示すように、液晶表示装置912は、データドライバ960、961、ゲートドライバA1、B1、C1、D1、表示マトリクス964等を備えている。液晶表示装置912は、図3の液晶表示装置50において、 $N=4$ 、 $k=2$ 、 $n=8$ 、 $m=192$ とした場合の実施例である。

【0154】液晶表示装置912は、マルチドライバ型

であり、表示マトリクス964を間に対向する2つのデータドライバ960、961と、4つのゲートドライバA1、B1、C1、D1を備えている点に特徴を有する。表示マトリクス964は、4つの表示マトリクスa1、b1、c1、d1からなる。そして、例えば、表示マトリクスa1では、ドライバAとゲートドライバA1により液晶表示が行われる。同様に、表示マトリクスb1では、ドライバBとゲートドライバB1により液晶表示が行われ、表示マトリクスc1では、ドライバCとゲートドライバC1により液晶表示が行われ、表示マトリクスd1では、ドライバDとゲートドライバD1により液晶表示が行われる。

【0155】液晶表示装置912は、表9及び図29に示す動作タイミングと同様の動作タイミングで液晶表示を行う。液晶表示装置912では、上側の表示マトリクスa1、b1と下側の表示マトリクスc1、d1を同時にスキャンできる。このため、図25に示す、表示マトリクス924の片側のみにデータドライバ920が配設された液晶表示装置910に比して、1水平走査期間Thを2倍に延ばすことができる。例えば、液晶表示装置912によれば、1水平走査期間Thを $10.8\mu s \times 2 = 21.6\mu s$ 、1タイミングブロックの時間長Tbを $2.0\mu s$ 、ブランキング期間Tbkを $5.6\mu s$ とすることができる。

【0156】次に、図32及び表10を用いて、本発明の第13実施例であるQSXGA型の液晶表示装置913について説明する。図32は、液晶表示装置913が備えるデータドライバ970の構成図である。図32に示すように、データドライバ970は、第1階層DBにおいて、TAB実装の4つのドライバA、B、C、Dを有し、第2階層CBにおいて、それぞれ192ビットの8組の共通信号線A1~D2を有し、第3階層SBにおいて40組のスイッチブロックA11~D25を有する。スイッチブロックA11~D25は、それぞれ例えば、CMOS型のアナログスイッチ972を192個ずつ含む。

【0157】すなわち、液晶表示装置913は、図3に示した液晶表示装置50において、 $N=4$ 、 $k=2$ 、 $n=5$ 、 $m=192$ とした場合の実施例であり、データドライバ970内に $40 \times 192 = 7680$ 個のアナログスイッチ972を備えている。なお、アナログスイッチ972は、CMOS型に限らずNMOS型又はPMOS型のものでもよい。

【0158】なお、液晶表示装置913における他の構成は、図20に示す液晶表示装置700と同様であり、その説明を省略する。表10は、液晶表示装置913の1水平走査期間Thにおけるスイッチブロックの制御タイミングを示す。

【0159】

【表10】

物理 7077 タイミング 7077	A (DBレイヤ)		B (DBレイヤ)		C (DBレイヤ)		D (DBレイヤ)		合 計
	A1 (CB)	A2 (CB)	B1 (CB)	B2 (CB)	C1 (CB)	C2 (CB)	D1 (CB)	D2 (CB)	
BL1	A11 (SB)	A21 (SB)	B11 (SB)	B21 (SB)	C11 (SB)	C21 (SB)	D11 (SB)	D21 (SB)	1536ビット
BL2	A12 (SB)	A22 (SB)	B12 (SB)	B22 (SB)	C12 (SB)	C22 (SB)	D12 (SB)	D22 (SB)	1536ビット
BL3	A13 (SB)	A23 (SB)	B13 (SB)	B23 (SB)	C13 (SB)	C23 (SB)	D13 (SB)	D23 (SB)	1536ビット
BL4	A14 (SB)	A24 (SB)	B14 (SB)	B24 (SB)	C14 (SB)	C24 (SB)	D14 (SB)	D24 (SB)	1536ビット
BL5	A15 (SB)	A25 (SB)	B15 (SB)	B25 (SB)	C15 (SB)	C25 (SB)	D15 (SB)	D25 (SB)	1536ビット
合計	960 ビット 192×5	960 ビット 192×5	960 ビット 192×5	960 ビット 192×5	960 ビット 192×5	960 ビット 192×5	960 ビット 192×5	960 ビット 192×5	7680ビット 1536×5

【0160】液晶表示装置913では、1水平走査期間Thが5回のタイミングブロックBL1～BL5で構成され、制御信号BL1～BL5が順次供給されることによって、対応するスイッチブロックA11～D25内のアナログスイッチ972がオン状態とされる。具体的には、例えば、1水平走査期間Th内の最初のタイミングブロックBL1では、スイッチブロックA11、A21、B11、B21、C11、C21、D11、D21内の合計1536個のアナログスイッチ972が制御信号BL1によりオンとされる。

【0161】また、タイミングブロックBL1に続くタイミングブロックBL2では、スイッチブロックA12～D22内の合計1536個のアナログスイッチ972が制御信号BL2によりオンとされる。このような制御が繰り返されて、最後のタイミングブロックBL5において、スイッチブロックA15～D25内の合計1536個のアナログスイッチ972が制御信号BL5によりオンとされると1水平走査期間Thが終了となる。表示信号Vsは、各タイミングブロックBL1～BL5において、オン状態とされたアナログスイッチ972を介して、活性化された画素セル内に順次書き込まれる。

【0162】上述の如く、第10～13実施例の液晶表示装置910～913では、4個のドライバA、B、C、Dに、それぞれ192ビットの2組の共通信号線A1～D2が接続されている。この結果、共通信号線A1～D2の配線幅も大幅に減少する。例えば、共通信号線の配線ピッチを16μmとした場合、QXGAパネルに適用された従来例の共通信号線D1～D1536の配線幅は、約24.6(16μm×1536)mmとなるのに対し、第10実施例の液晶表示装置910の共通信号線A1～D2の配線幅は、それぞれ約3.07(16μm×192)mmとなる。これは、配線幅が6.1mmとなる第5実施例と比べても非常に小さい。このように、本実施例によれば、共通信号線A1～D2の配線幅の縮小によるパネル縁の縮小化と液晶表示装置910～913の軽量化が実現される。

【0163】図1に示す従来例の液晶表示装置10をQXGA型として、1.8μs/ブロックの信号書き込み時間を確保するには、表示マトリクス18を4ブロックで構成し、各ブロックB1～B4のデータ幅を1536ビットにする必要がある。この場合、共通信号線D1～D1536と図1に示す引き出し線31とは、最大(1536-1)×4=6140箇所で見交差する。

【0164】一方、例えば、第10実施例の液晶表示装置910が備える共通信号線D1～D192は、共通信号線D1～D192とアナログスイッチ928を接続する引き出し線と最大(192-1)×4=764箇所で見交差する。ここで、1交差点当たりの交差容量を5fFとすると、従来例における共通信号線D1～D1536の容量は約30.7pFであるのに対し、第10実施例における共通信号線D1～D192の容量は約3.8pFとなる。これは、共通信号線D1～D384の容量が(384-1)×4×5=7.7pFとなる第5実施例と比べても約半分である。このように、本第10～13実施例によれば、各共通信号線A1～D2の交差点容量が大幅に減少する。

【0165】また、第10～13実施例の液晶表示装置910～913は、4つのドライバA、B、C、Dがそれぞれ2組の共通信号線A1～D2を有するため、各共通信号線A1～D2の(例えば、図25における)水平方向の長さが従来例に比して1/8になる。このため、第10～13実施例によれば、各共通信号線A1～D2の配線抵抗も減少する。例えば、画素ピッチが0.1485μm、表示マトリクスの横方向の長さが(0.1485μm×2048)=304mm、共通信号線の配線ピッチが16μm、単位配線シート抵抗が0.2Ωである15.0型QXGAパネルの場合、上記従来例では総抵抗値が7.6kΩとなり、第5実施例では総抵抗値が1.9kΩとなるのに対し、第10実施例では総抵抗値が0.95kΩとなる。

【0166】このように第10～13実施例の液晶表示装置910～913では、従来例に比して、共通信号線

A 1 ~ D 2 の交差点容量と配線抵抗値とが減少するので、その RC 時定数も大幅に減少する。例えば、第 1 0 実施例の時定数 RC は、 $0.95\text{ k}\Omega \times 3.8\text{ pF} = 3.6\text{ ns}$ である。これは、時定数が $7.6\text{ k}\Omega \times 30.7\text{ pF} = 233\text{ ns}$ である QXGA 型の従来例の $1/64$ であり、時定数が $1.9\text{ k}\Omega \times 7.7\text{ pF} = 14.6\text{ ns}$ である第 5 実施例の $1/4$ である。

【0167】 以上のように、第 1 0 ~ 1 3 実施例では、時定数が改善されることにより、液晶表示の画質の更なる向上が実現される。なお、上記第 1 及び第 2 実施例の液晶表示装置 1 0 0、2 0 0 と、第 5 ~ 第 1 3 実施例の液晶表示装置 5 0 0 ~ 9 1 3 が備えるドライバ A、B、C、D は、TAB 実装としたが、COG 実装や COF 実装の IC チップとしてもよい。また、第 3 及び第 4 実施例の液晶表示装置 3 0 0、4 0 0 のように p-S i T F T による内蔵型ドライバとしてもよい。更に、液晶表示装置 1 0 0 ~ 9 1 3 にマルチドメイン垂直配向 (MVA) 方式や、IPS (In Plane Switching Mode) 方式を採用して、液晶表示の視野角を向上させてもよい。

【0168】 以上、本発明を実施例により説明したが、本発明は上記実施例に限定されるものではなく、本発明の原理を満たす範囲で種々の変形及び改良が可能であることは言うまでもない。

(付記) 以上、本発明をまとめると以下の通りである。

(1) 表示マトリクス内において、ゲートドライバから供給された走査信号により活性化された画素セルにデータドライバから表示信号を与えて液晶表示を行う液晶表示装置であって、前記データドライバは、N 個のデジタルドライバと、前記デジタルドライバ毎に k 組ずつ接続された共通信号線と、前記共通信号線毎に n 組ずつ設けられ、各組内に前記共通信号線の本数 m と等しい数の選択スイッチを含むスイッチブロックとを有することを特徴とする液晶表示装置。

(2) (1) 記載の液晶表示装置であって、1 水平走査期間は n 回のタイミング期間からなり、各タイミング期間において、各共通信号線に設けられた n 組のスイッチブロックのうちの何れか 1 組のスイッチブロックが制御信号によって順次選択され、前記デジタルドライバは、選択されたスイッチブロック内の選択スイッチに接続された前記画素セルに表示信号を供給することを特徴とする液晶表示装置。

(3) (1) 又は (2) の液晶表示装置であって、前記データドライバは、第 1 ~ 第 3 階層を有し、前記デジタルドライバは、前記第 1 階層内において一列に配列されており、前記共通信号線は、前記第 2 階層内において一列に配列されており、前記スイッチブロックは、前記第 3 階層内において一列に配列されていることを特徴とする液晶表示装置。

(4) (1) ~ (3) の何れか 1 項記載の液晶表示装置であって、前記デジタルドライバは、TAB 実装された

LSI チップであり、前記スイッチブロックに前記制御信号を供給するための n 本のスイッチブロック制御線を備えていることを特徴とする液晶表示装置。

(5) (4) 記載の液晶表示装置であって、更に、前記ゲートドライバに対して最も近くに設けられたデジタルドライバは、該ゲートドライバに制御信号を供給するためのゲートドライバ制御線を備えていることを特徴とする液晶表示装置。

(6) (1) ~ (3) の何れか 1 項記載の液晶表示装置であって、前記デジタルドライバは、COG 又は COF 実装された LSI チップであることを特徴とする液晶表示装置。

(7) (1) ~ (3) の何れか 1 項記載の液晶表示装置であって、前記デジタルドライバは、p-S i T F T により前記表示マトリクスと一体形成されたパネル内蔵型回路であることを特徴とする液晶表示装置。

(8) (7) 記載の液晶表示装置であって、前記データドライバは、更に、p-S i T F T により前記表示マトリクスと一体形成され、前記スイッチブロックに所定のタイミングで制御信号を与えるブロック選択回路を有することを特徴とする液晶表示装置。

(9) (1) ~ (8) の何れか 1 項記載の液晶表示装置であって、前記選択スイッチは、N チャンネルトランジスタを用いた NMOS 型と、P チャンネルトランジスタを用いた PMOS 型と、N 及び P チャンネルトランジスタを用いた CMOS 型のうちの何れかの型のアナログスイッチであることを特徴とする液晶表示装置。

(10) (1) ~ (9) の何れか 1 項記載の液晶表示装置であって、前記表示マトリクスにおける水平画素セル数は、整数 2 0 0、2 4 0、2 5 6、3 0 0、3 8 4 のうちの何れかの整数倍であることを特徴とする液晶表示装置。

(11) (1) ~ (10) の何れか 1 項記載の液晶表示装置であって、前記データドライバは、前記表示マトリクスを間に対向して 2 つ設けられており、該 2 つのデータドライバは、前記表示マトリクス内において互いに異なる領域の画素セルに表示信号を供給することを特徴とする液晶表示装置。

(12) (1) ~ (10) の何れか 1 項記載の液晶表示装置であって、前記データドライバは、前記表示マトリクスを間に対向して 2 つ設けられており、一方のデータドライバは、前記表示マトリクス内において奇数列に配列された信号線に接続された画素セルに表示信号を供給し、他方のデータドライバは、前記表示マトリクス内において偶数列に配設された信号線に接続された画素セルに表示信号を供給することを特徴とする液晶表示装置。

(13) (1) ~ (12) の何れか 1 項記載の液晶表示装置であって、前記ゲートドライバは、前記表示マトリクスを間に対向して 2 つ設けられており、該 2 つのゲートドライバは、前記表示マトリクス内において互いに異

なる画素セルに走査信号を供給することを特徴とする液晶表示装置。

（１４）（１）～（１３）の何れか１項記載の液晶表示装置であって、前記表示マトリクス内に配列された信号線の欠陥を修復するリペア回路を備えていることを特徴とする液晶表示装置。

（１５）（１）～（１４）の何れか１項記載の液晶表示装置であって、マルチドメイン垂直配向方式の液晶表示を行うことを特徴とする液晶表示装置。

（１６）（１）～（１４）の何れか１項記載の液晶表示装置であって、IPS方式の液晶表示を行うことを特徴とする液晶表示装置。

【０１６９】

【発明の効果】上述の如く、請求項１～１６記載の発明によれば、小型化、低コスト化及び高品質な液晶表示等が可能な液晶表示装置を提供することができる。

【図面の簡単な説明】

【図１】単純ブロック順次方式で駆動される従来例の液晶表示装置の構成図である。

【図２】従来例の液晶表示装置が備えるデータドライバ及び表示マトリクスの構成を説明するためのブロック図である。

【図３】本発明の基本構成を説明するための図である。

【図４】本発明の液晶表示装置が備えるドライバＢに係る構成を示す図である。

【図５】本発明の第１実施例である液晶表示装置の全体構成図である。

【図６】第１実施例の液晶表示装置が備えるデータドライバの構成図である。

【図７】第１実施例の液晶表示装置の回路構成図である。

【図８】第１実施例の液晶表示装置が備える外付けタイプのドライバＡの内部構成例を示すブロック図である。

【図９】第１実施例の液晶表示装置が備えるゲートドライバの構成例を示す図である。

【図１０】第１実施例の液晶表示装置の動作タイミング図である。

【図１１】本発明の第２実施例である液晶表示装置が備えるデータドライバの構成図である。

【図１２】本発明の第３実施例である液晶表示装置の回路構成図である。

【図１３】第３実施例の液晶表示装置が備える内蔵型のドライバＡの内部構成例を示すブロック図である。

【図１４】本発明の第４実施例である液晶表示装置の回路構成図である。

【図１５】第４実施例の液晶表示装置の動作タイミング図である。

【図１６】本発明の第５実施例である液晶表示装置の全体構成図である。

【図１７】第５実施例の液晶表示装置が備えるデータドライバの構成図である。

【図１８】第５実施例の液晶表示装置の動作タイミング図である。

【図１９】本発明の第６実施例である液晶表示装置の全体構成図である。

【図２０】本発明の第７実施例である液晶表示装置が備えるデータドライバの構成図である。

【図２１】本発明の第８実施例である液晶表示装置の全体構成図である。

【図２２】第８実施例の液晶表示装置が備えるデータドライバの構成図である。

【図２３】第８実施例の液晶表示装置の動作タイミング図である。

【図２４】本発明の第９実施例である液晶表示装置が備えるデータドライバの構成図である。

【図２５】本発明の第１０実施例である液晶表示装置の全体構成図である。

【図２６】第１０実施例の液晶表示装置が備えるデータドライバの構成図である。

【図２７】第１０実施例の液晶表示装置の実装例を示す図である。

【図２８】第１０実施例の液晶表示装置が備えるドライバＡ周辺の回路構成図である。

【図２９】第１０実施例の液晶表示装置の動作タイミング図である。

【図３０】本発明の第１１実施例である液晶表示装置の全体構成図である。

【図３１】本発明の第１２実施例である液晶表示装置の全体構成図である。

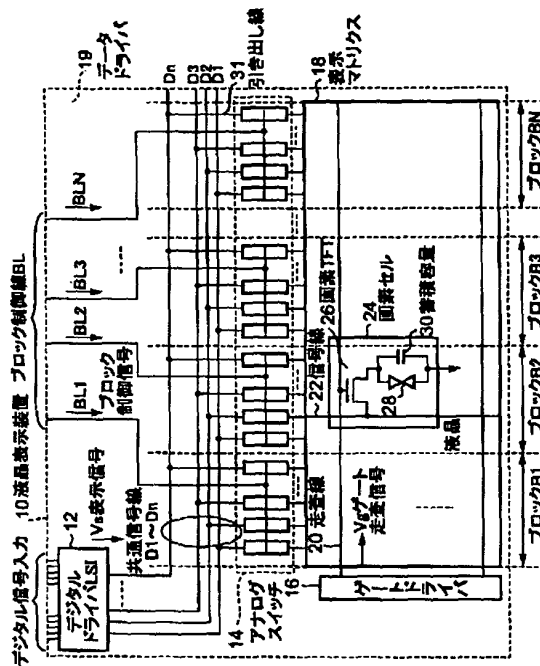
【図３２】本発明の第１３実施例である液晶表示装置が備えるデータドライバの構成図である。

【符号の説明】

５０、１００ 液晶表示装置
 ５２、１０２ データドライバ
 ５４、１０６ 表示マトリクス
 ５６、１１０ 信号線
 ６０、１０８ アナログスイッチ
 ６１ 引き出し線
 ６２、１１２ 走査線
 ６４、１１４ 画素セル
 １０４ ゲートドライバ
 １１６ 画素ＴＦＴ
 １１８ 液晶セル
 １２０ 蓄積容量

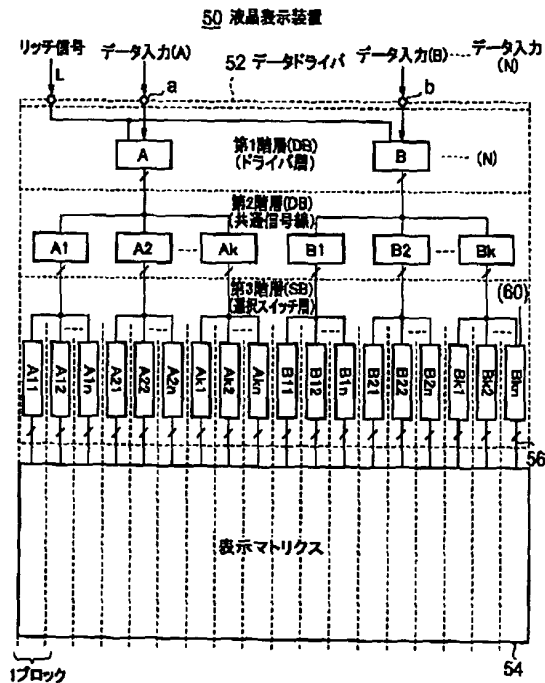
【図 1】

単純ブロック順次方式で駆動される従来例の液晶表示装置の構成図



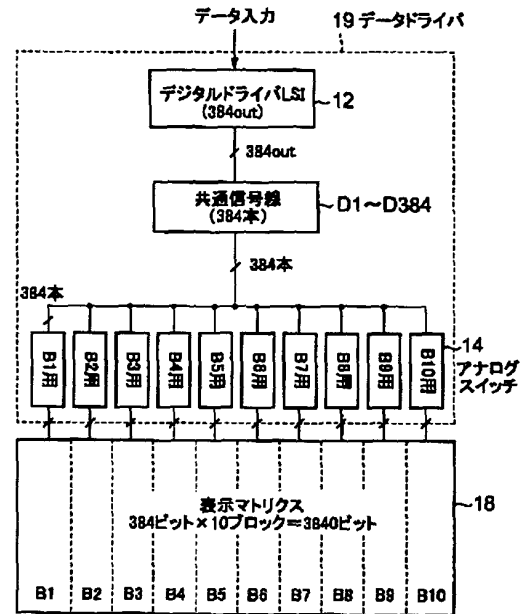
【図 3】

本発明の基本構成を説明するための図



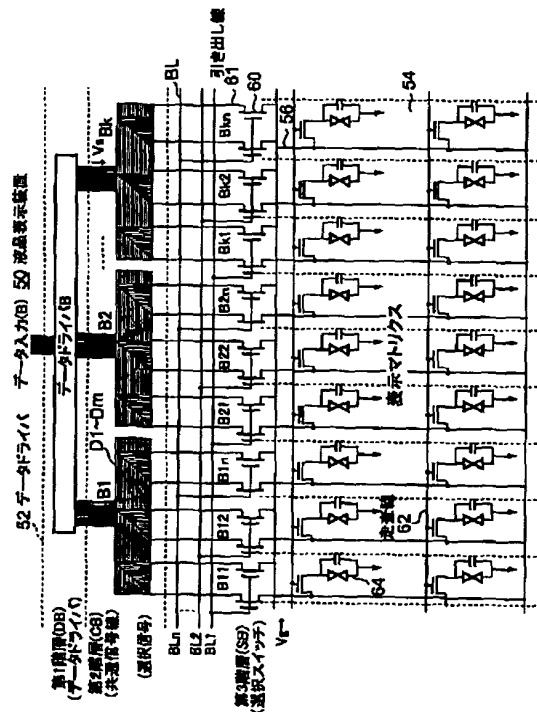
【図 2】

従来例の液晶表示装置が備えるデータドライバ及び表示マトリクスを説明するためのブロック図



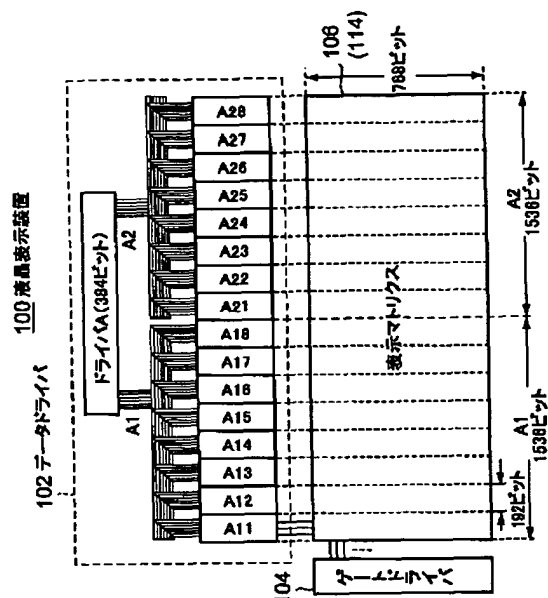
【図 4】

本発明の液晶表示装置が備えるドライバに係る構成を示す図



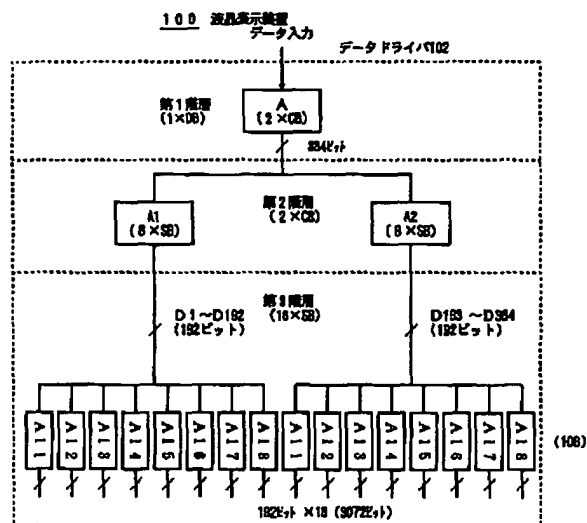
【図 5】

本発明の第1実施例である液晶表示装置の全体構成図



【図 6】

第1実施例の液晶表示装置が備えるデータドライバの構成図

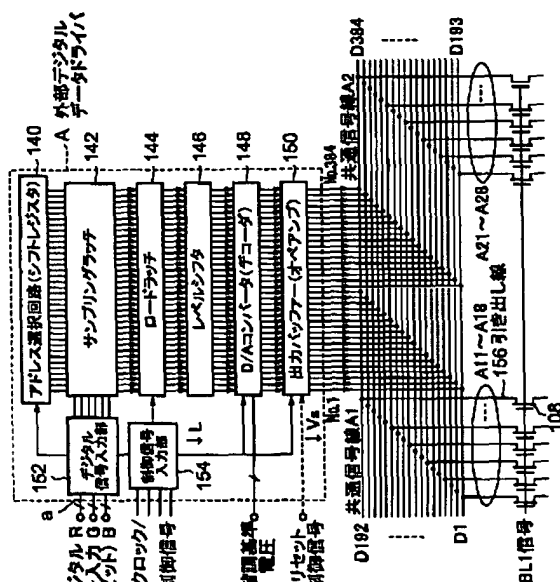
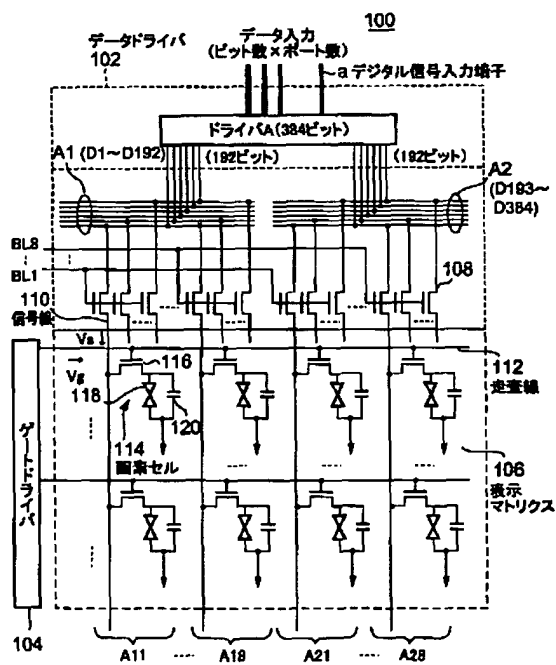


【图8】

第1実施例の液晶表示装置が備える外付けタイプのドライバAの内部構成例を示すブロック図

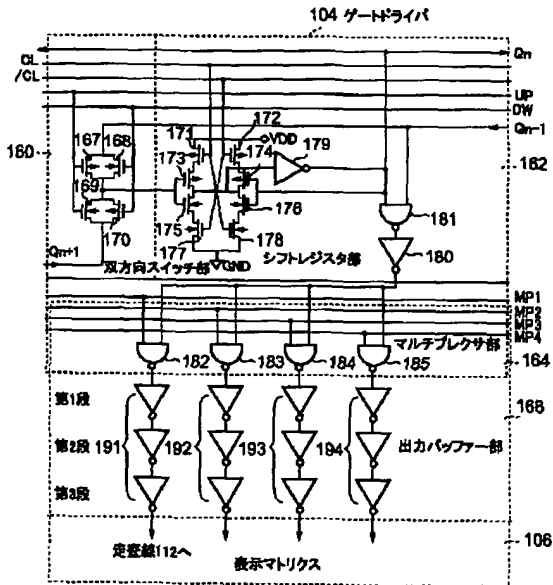
【图7】

第1実施例の液晶表示装置の回路構成図



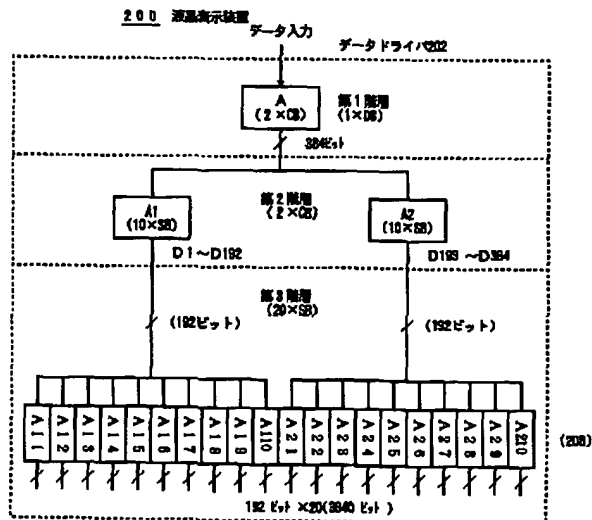
【図9】

第1実施例の液晶表示装置が備えるゲートドライバの構成例を示す図



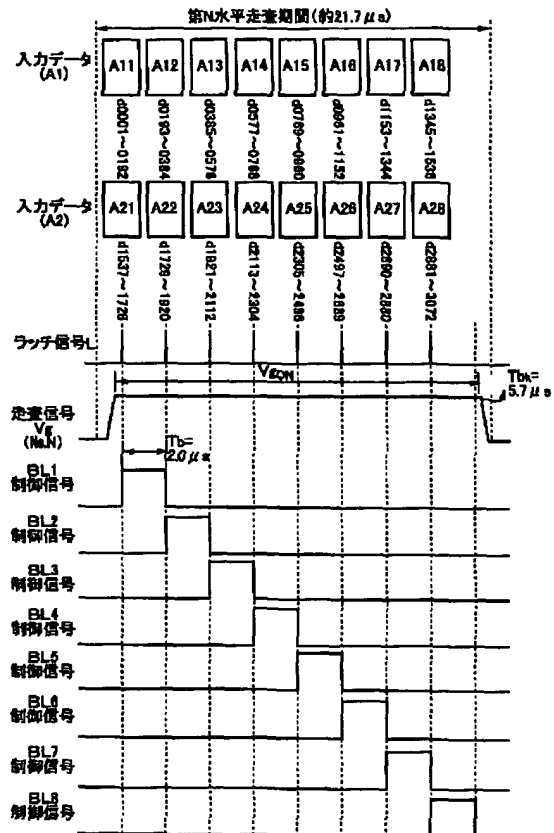
【図11】

本発明の第2実施例である液晶表示装置が備えるデータドライバの構成図



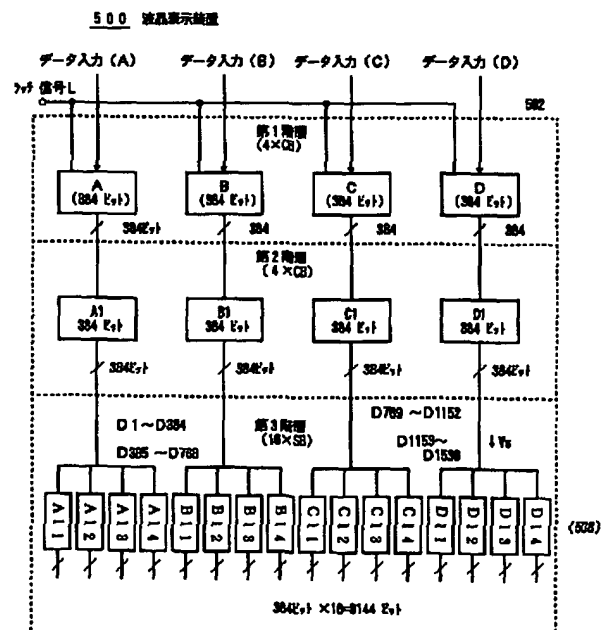
【図10】

第1実施例の液晶表示装置の動作タイミング図



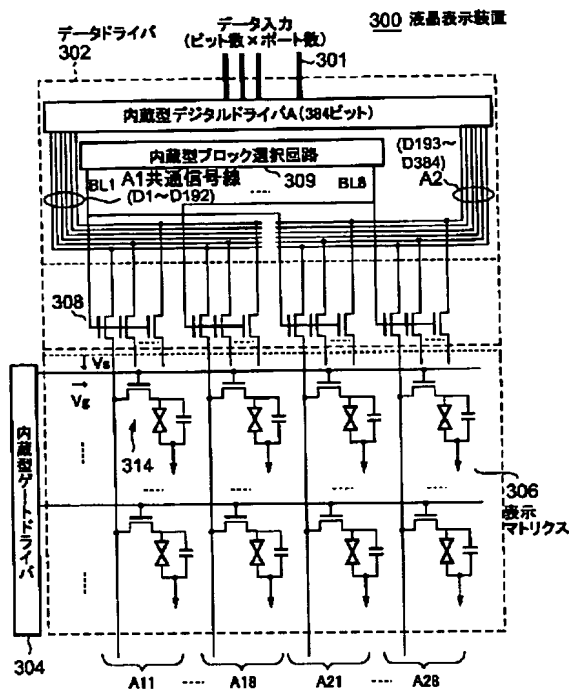
【図17】

第5実施例の液晶表示装置が備えるデータドライバの構成図



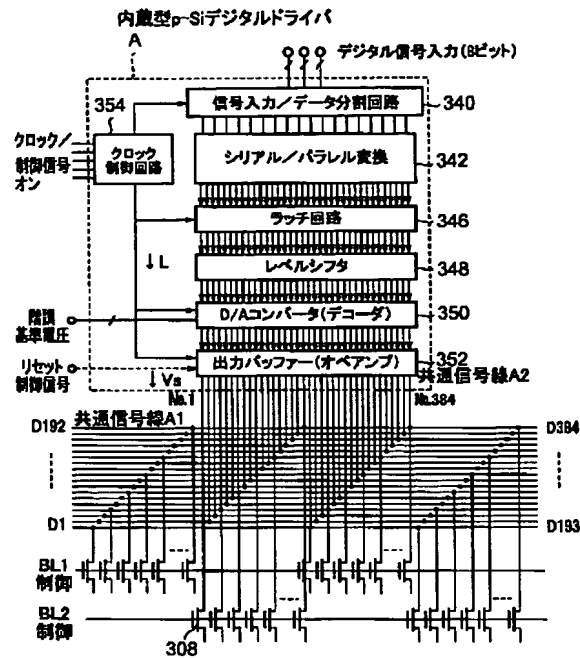
【図 12】

本発明の第3実施例である液晶表示装置の回路構成図



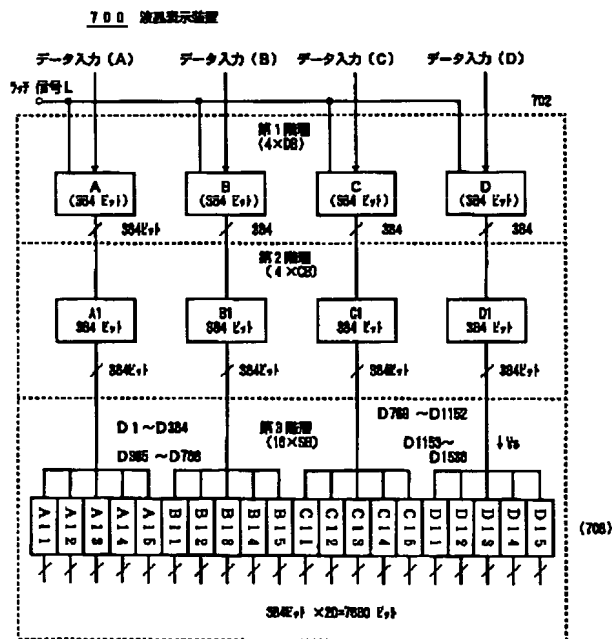
【图 13】

第3実施例の液晶表示装置が備える内蔵型のドライバAの内部構成例を示すブロック図



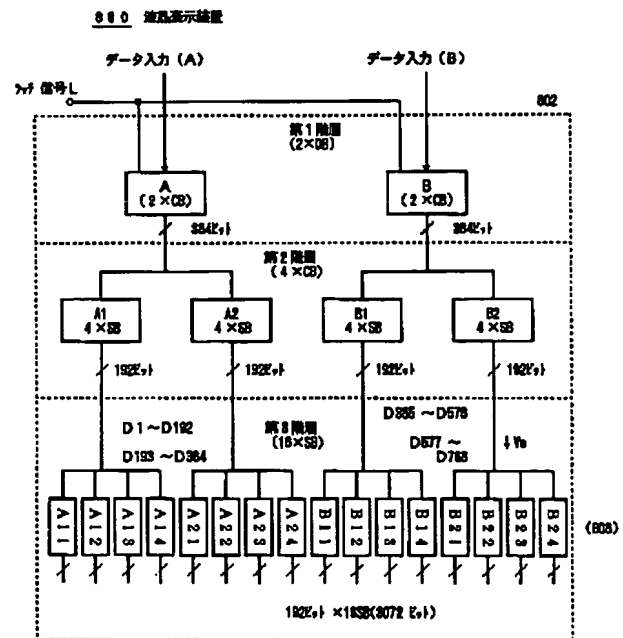
【図 20】

本発明の第 7 実施例である液晶表示装置が備えるデータドライバの構成図



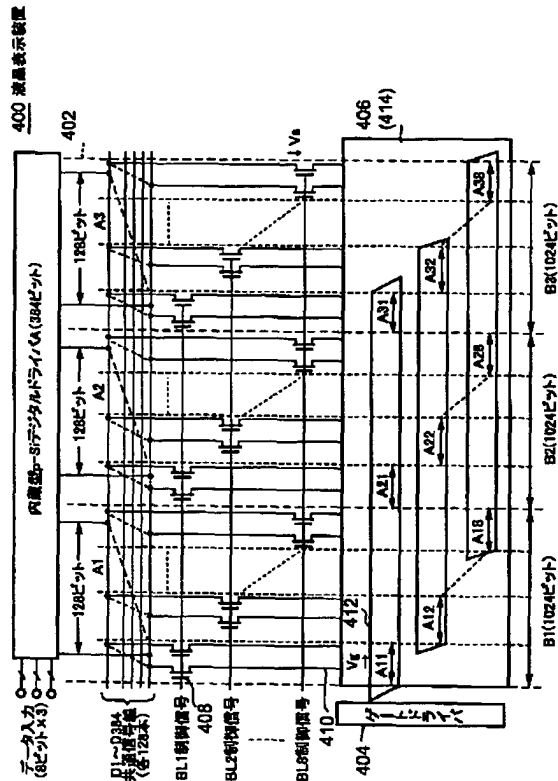
【图 2 2】

第8実施例の液晶表示装置が備えるデータドライバの構成図



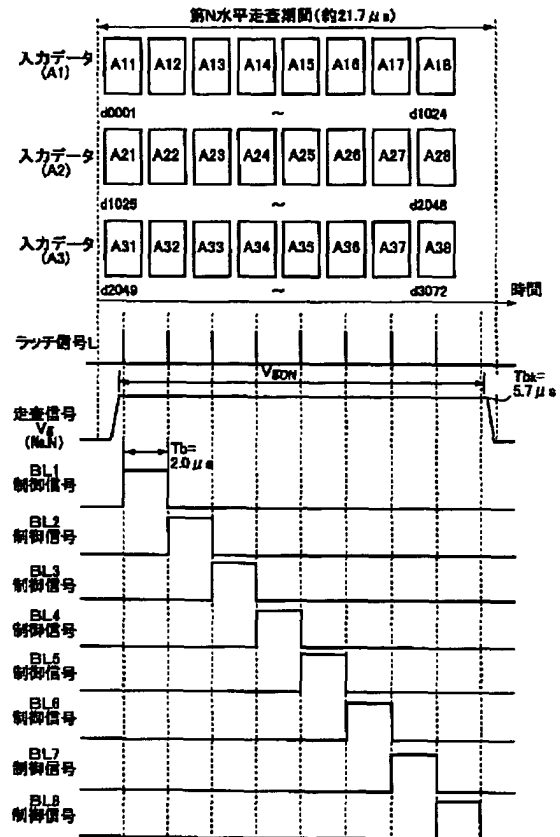
【図14】

本発明の第4実施例である液晶表示装置の回路構成図



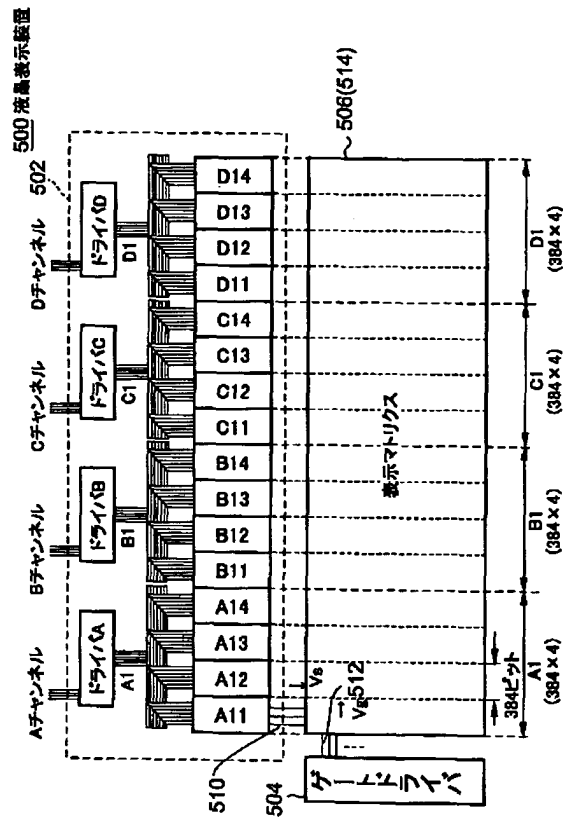
【図15】

第4実施例の液晶表示装置の動作タイミング図



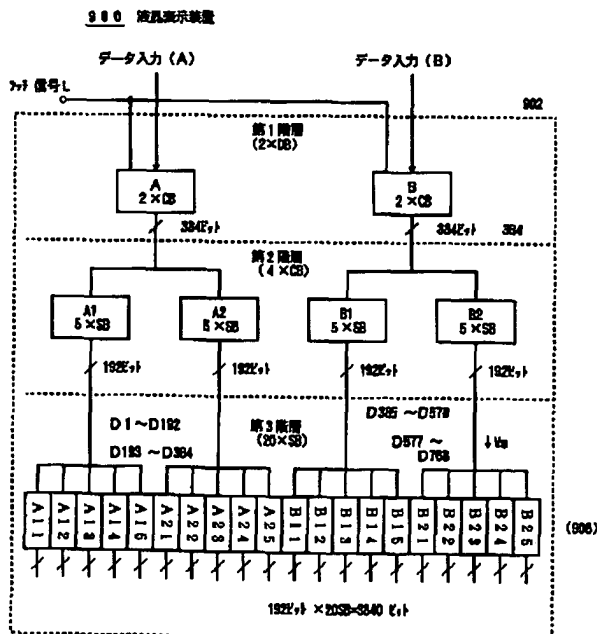
【図16】

本発明の第5実施例である液晶表示装置の全体構成図



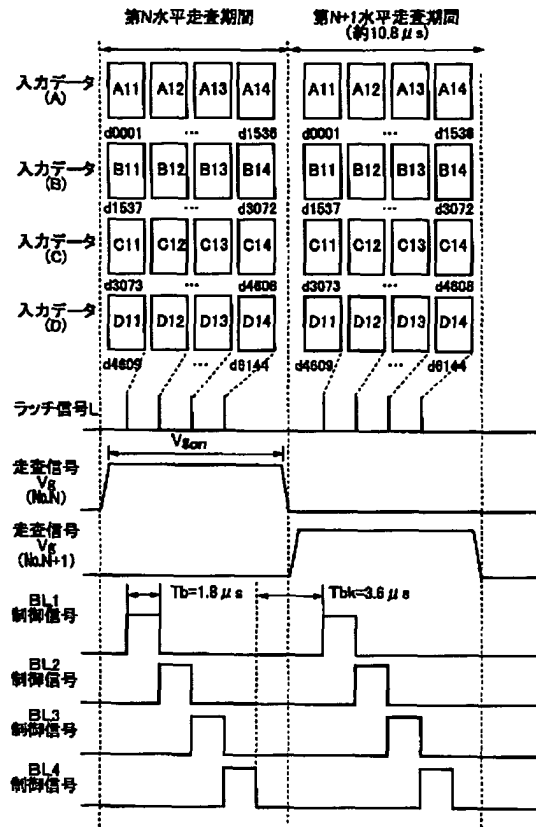
【図24】

本発明の第9実施例である液晶表示装置が通えるデータドライバの構成図



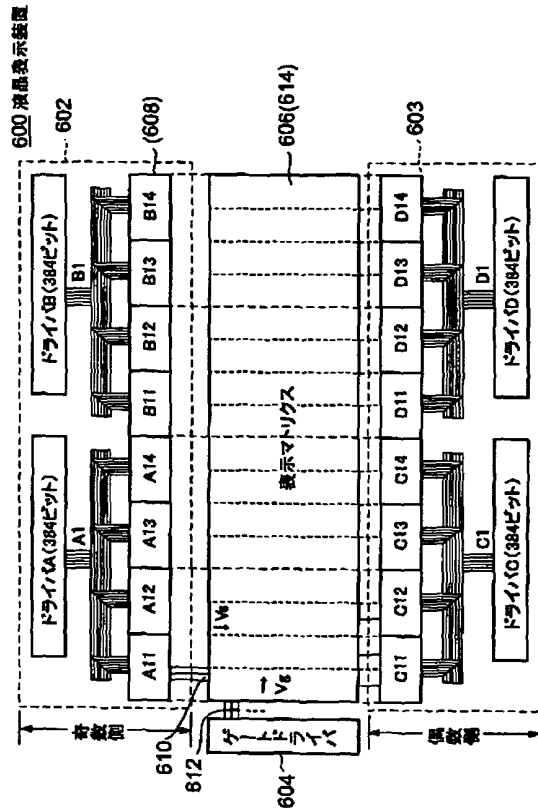
【図18】

第5実施例の液晶表示装置の動作タイミング図



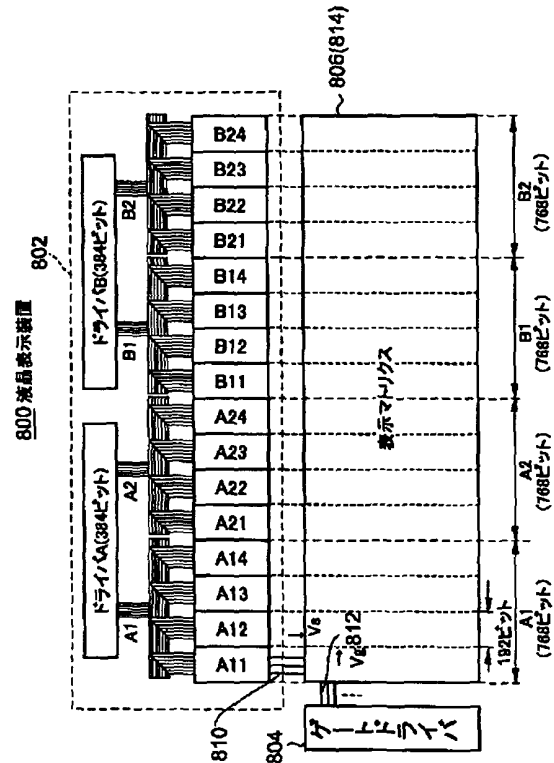
【図 19】

本発明の第6実施例である液晶表示装置の全体構成図



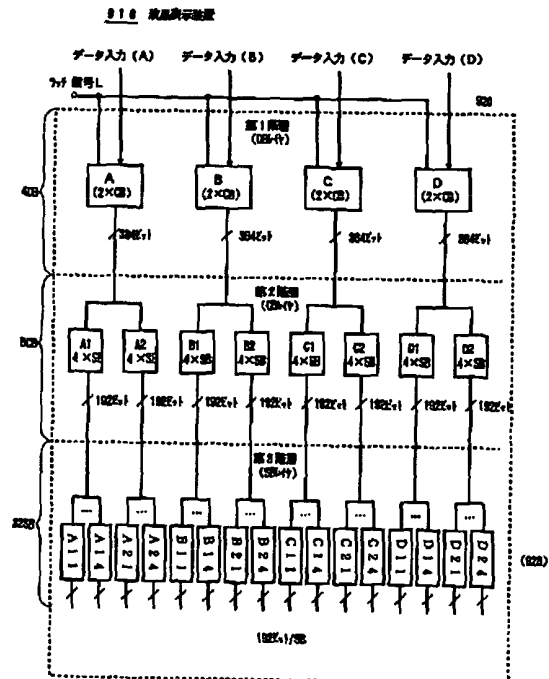
【図 21】

本発明の第8実施例である液晶表示装置の全体構成図



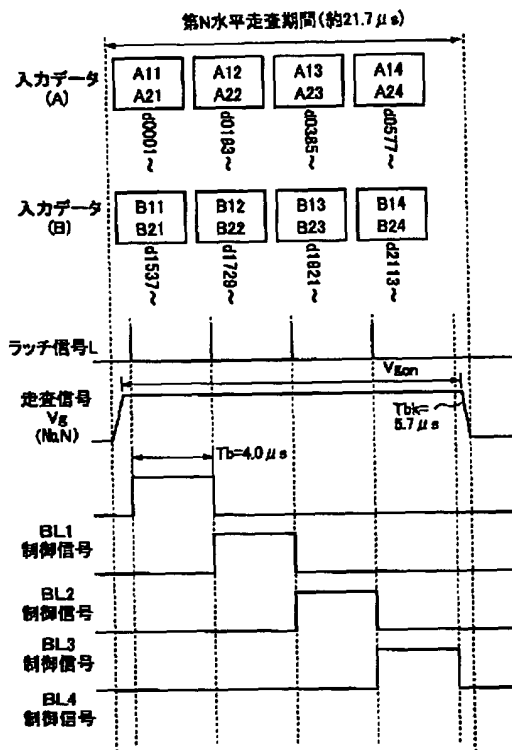
【図 26】

第10実施例の液晶表示装置が備えるデータドライバの構成図



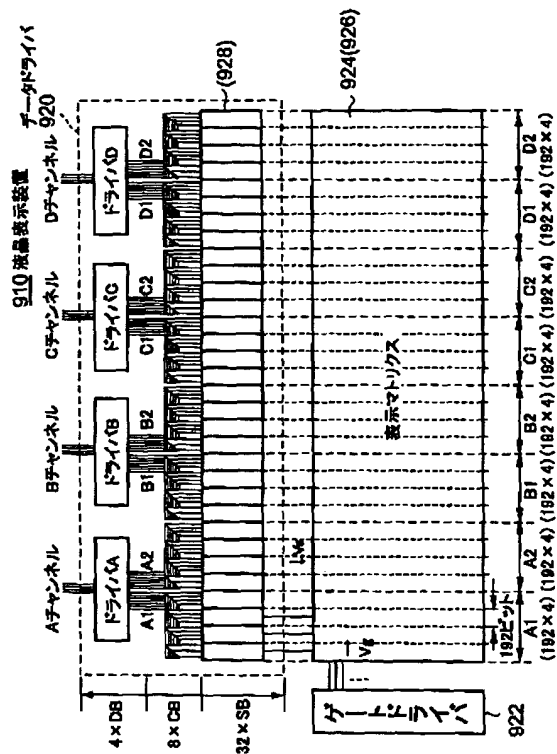
【図 23】

第8実施例の液晶表示装置の動作タイミング図



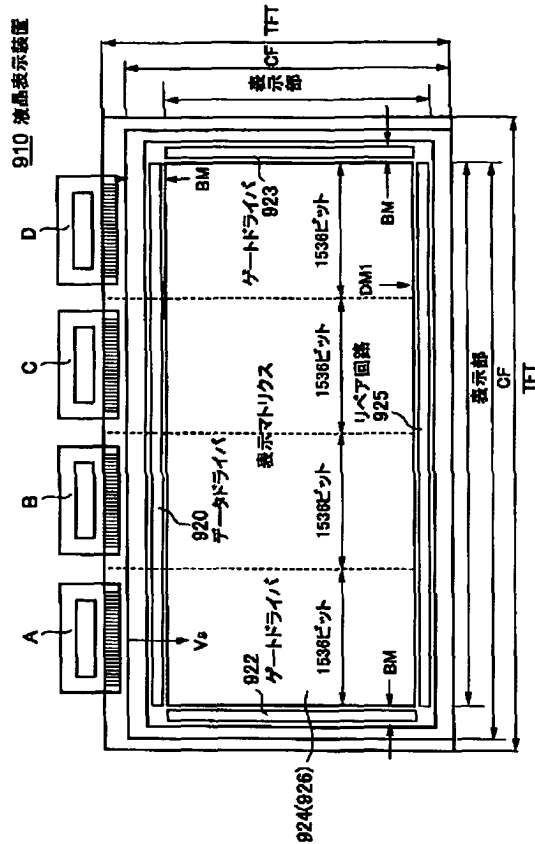
【図 25】

本発明の第10実施例である液晶表示装置の全体構成図



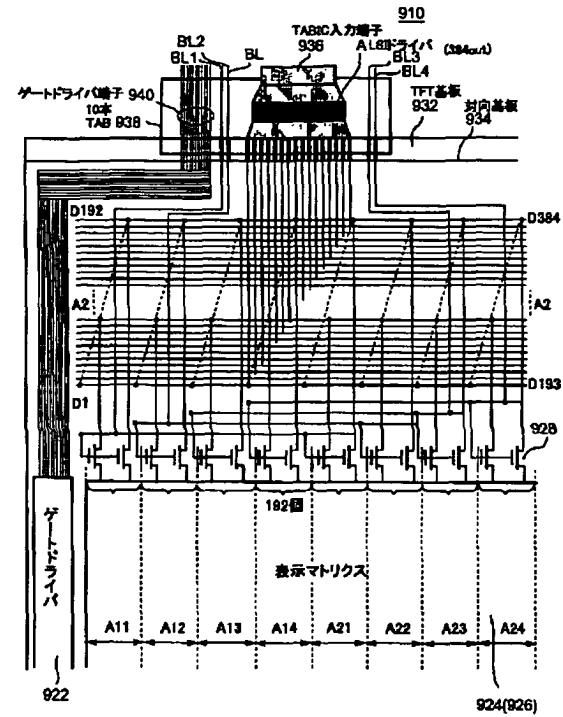
【図 27】

第10実施例の液晶表示装置の実施例を示す図



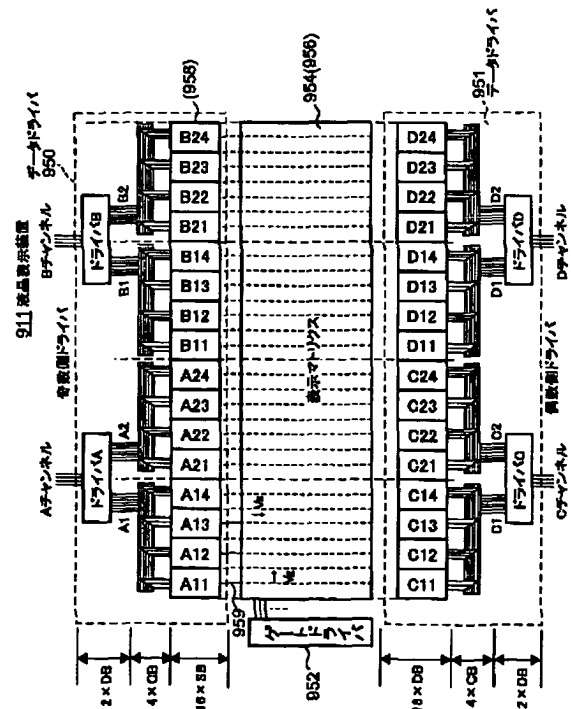
【図 28】

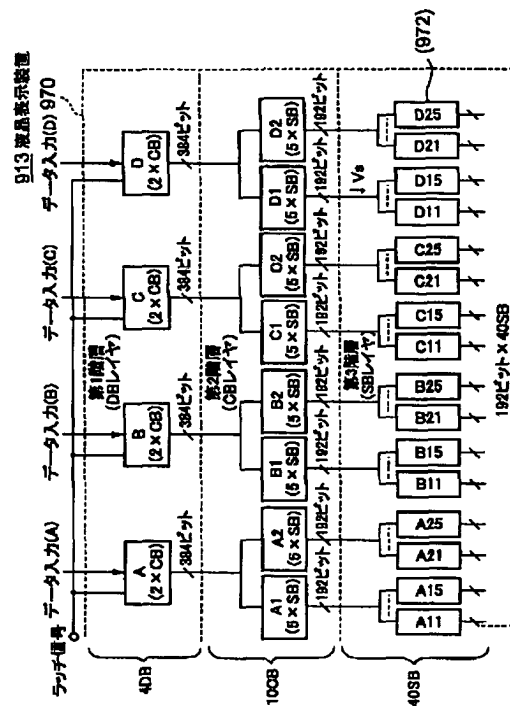
第10実施例の液晶表示装置が備えるドライバ周辺の回路構成図



【図 30】

本発明の第11実施例である液晶表示装置の全体構成図





フロントページの続き

F ターム(参考) 2H093 NA16 NA53 NC12 NC21 NC34
ND05 ND42 ND49 ND54
5C006 AA16 AC02 AF25 AF83 BB14
BB16 BC03 BC12 BC23 BF03
BF04 BF11 BF24 BF25 BF26
BF27 BF46 FA37 FA41 FA51
5C080 AA10 BB06 CC06 DD07 DD22
DD27 FF11 JJ02 JJ04